

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Offenlegungsschrift
⑯ DE 195 33 956 A 1

⑯ Int. Cl. 8:
H 01 L 27/12
H 01 L 29/868
H 01 L 29/739
H 01 L 29/78
H 01 L 29/74

⑯ Aktenzeichen: 195 33 956.8
⑯ Anmeldetag: 13. 9. 95
⑯ Offenlegungstag: 28. 3. 96

⑯ Unionspriorität: ⑯ ⑯ ⑯
14.09.94 JP P 6-220636

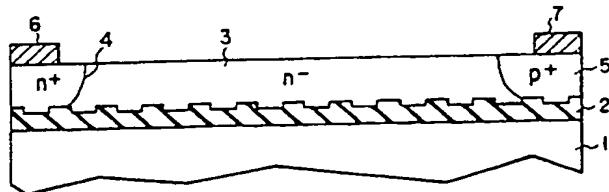
⑯ Anmelder:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP
⑯ Vertreter:
Feiler und Kollegen, 81675 München

⑯ Erfinder:
Omura, Ichiro, Yokohama, JP; Nakagawa, Akio,
Hiratsuka, Kanagawa, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Leistungshalbleitervorrichtung

⑯ Die erfindungsgemäße Leistungshalbleitervorrichtung hat ein SOI-Substrat, das aus einem vergrabenem Siliciumdiox- ydfilm (2) mit einem unebenen Oberflächenteil auf seiner Oberfläche gebildet ist, und eine n-Typ-Silicium-Aktiv- schicht (3) von niedriger Fremdstoffkonzentration, die auf dem vergrabenen Siliciumdiox- ydfilm (2) vorgesehen ist. Eine n-Typ-Emittorschicht (4) und eine p-Typ-Emittorschicht (5) sind selektiv auf der Oberfläche der n-Typ-Silicium-Aktiv- schicht (3) ausgebildet. Eine Kathodenelektrode (6) und eine Anodenelektrode (7) sind jeweils auf der n-Typ-Emitter- schicht (4) und der p-Typ-Emittorschicht (5) vorgesehen. Mit der obigen Struktur kann eine Leistungshalbleitervorrichtung von hoher Stehspannung realisiert werden.



DE 195 33 956 A 1

DE 195 33 956 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Leistungshalbleitervorrichtung mit einer SOI-(Silicium-Auf-Isolator)-Struktur.

In den letzten Jahren werden integrierte Schaltungen (ICs), die jeweils eine große Anzahl von Transistoren und Widerstände haben, welche verbunden sind, um einen elektrischen Schaltung zu bilden, und die auf einem Chip integriert sind, verbreitet in wichtigen Teilen von Rechnern oder Kommunikationsvorrichtungen verwendet. Unter den obigen ICs wird ein IC eines Typs, der eine Halbleitervorrichtung mit einer hohen Stehspannung (Leistungshalbleitervorrichtung) enthält, als ein Leistungs-IC bezeichnet.

Fig. 1 ist eine Schnittdarstellung, die die Innenstruktur einer herkömmlichen Leistungshalbleitervorrichtung (pin-Diode) mit SOI-Struktur zeigt.

In Fig. 1 bezeichnet ein Bezugszeichen 91 ein Halbleitersubstrat, und eine i-Typ-Halbleiter-Aktivschicht (SOI-Halbleiterschicht) 93 einer niedrigen Fremdstoffkonzentration ist über dem Halbleitersubstrat 91 gebildet, wobei dazwischen ein Isolierfilm (SOI-Isolierfilm) 92 vorgesehen ist.

Eine n-Typ-Emitterschicht 94 einer hohen Fremdstoffkonzentration und eine p-Typ-Emitterschicht 95 einer hohen Fremdstoffkonzentration sind selektiv durch Diffusion in dem Oberflächenbereich der i-Typ-Halbleiter-Aktivschicht 93 gebildet. Eine Kathodenelektrode 96 ist auf der n-Typ-Emitterschicht 94 gebildet, und eine Anodenelektrode 97 ist auf der p-Typ-Emitterschicht 95 gebildet.

Gemäß der Leistungshalbleitervorrichtung mit der obigen Struktur wird eine angelegte Spannung zwischen dem Hauptkörper der Vorrichtung und dem Isolierfilm 92 aufgeteilt bzw. verteilt, und somit ist eine an dem Hauptkörper der Vorrichtung anliegende Spannung abgesenkt, so daß eine hohe Stehspannung erhalten werden kann.

Jedoch hat dieser Typ einer Halbleitervorrichtung das folgende Problem. Das heißt, da die Spannung, die der Isolierfilm 92 auf teilen kann, eine Begrenzung hat, wird es schwierig, mit der herkömmlichen Struktur eine höhere Stehspannung zu erzielen.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Leistungshalbleitervorrichtung vorzusehen, die eine höhere Stehspannung als diejenige der herkömmlichen Vorrichtung hat.

Diese Aufgabe wird erfindungsgemäß durch eine Leistungshalbleitervorrichtung mit den Merkmalen des Patentanspruches 1, 8, 18 bzw. 20 gelöst.

Gemäß einem ersten Aspekt schafft die vorliegende Erfindung also eine Leistungshalbleitervorrichtung mit einem Substrat, einem Isolierfilm, der auf dem Substrat gebildet ist und einen unebenen Oberflächenteil auf der Oberfläche hiervon hat, und einem Halbleiterfilm, der auf dem unebenen Oberflächenteil des Isolierfilmes gebildet ist, wobei der unebene Oberflächenteil Ladungsträger, die sich in dem Halbleiterfilm bewegen, veranlaßt, eingefangen zu werden.

Gemäß einem zweiten Aspekt schafft die vorliegende Erfindung eine Leistungshalbleitervorrichtung mit einem Substrat, einem Isolierfilm, der auf dem Substrat gebildet ist und eine Vielzahl von aufladbaren, schwimmenden (Floating-)Elektroden hat, die darin vergraben sind, und einem Halbleiterfilm, der auf dem Isolierfilm gebildet ist, wobei jede der schwimmenden Elektroden Ladungen, die in dem Halbleiterfilm erzeugt sind, veran-

laßt, darin injiziert zu werden.

Gemäß einem dritten Aspekt schafft die vorliegende Erfindung eine Leistungshalbleitervorrichtung mit einem Substrat, einem Isolierfilm, der auf dem Substrat gebildet ist, und einem Halbleiterfilm, der auf dem Isolierfilm gebildet ist und einen Fremdstoff enthält, wobei das Konzentrationsprofil des Fremdstoffes in der Driftlängsrichtung in dem Driftbereich des Halbleiterfilmes in der Form eines Buchstabens "S" definiert ist.

10 Da gemäß dem ersten Aspekt Ladungsträger, die sich in dem Halbleiterfilm bewegen, in den konkaven Teilen des Isolierfilmes gespeichert werden und die Dichte des elektrischen Feldes in dem Halbleiterfilm reduziert ist, ist die Stehspannung eines aus dem Halbleiterfilm gebildeten Teiles erhöht.

15 Da gemäß dem zweiten Aspekt die Dichte des elektrischen Filmes in dem Halbleiterfilm durch die aufgelaufene Elektrode in dem Isolierfilm reduziert ist, ist die Stehspannung eines aus dem Halbleiterfilm gebildeten Teiles erhöht.

20 Weiterhin hat sich gemäß Untersuchungen der Erfinder dieser Anmeldung gezeigt, daß, wenn der Isolierfilm dick ist (wenn die Dicke des Isolierfilmes größer ist als die Driftlänge des Halbleiterfilmes) in einem Fall, in

25 welchem ein Substrat, das aus dem Isolierfilm gebildet ist, und der auf dem Isolierfilm gebildete Halbleiterfilm verwendet werden, ein gleichmäßiges elektrisches Feld in der Drift hervorgerufen wird, falls das Konzentrationsprofil des Fremdstoffes in der Driftlängsrichtung in dem Driftbereich des Halbleiterfilmes in der Form eines Buchstabens "S" definiert ist, das heißt es liegt kein Teil vor, in welchem das elektrische Feld teilweise erhöht und die Stehspannung abgesenkt ist, so daß die Stehspannung erhöht werden kann.

30 Daher kann gemäß dem dritten Aspekt aufgrund des obigen Wissens die Stehspannung einer Leistungshalbleitervorrichtung erhöht werden, selbst wenn ein dicker Isolierfilm (SOI-Isolierfilm) benutzt wird.

35 Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schnittdarstellung, die die Innenstruktur einer herkömmlichen Leistungshalbleitervorrichtung (pin-Diode) zeigt,

Fig. 2 eine Schnittdarstellung 1 die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 3 ein Diagramm, das das Prinzip der in Fig. 2 dargestellten Leistungshalbleitervorrichtung erläutert,

Fig. 4 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 5 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem dritten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 6 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem vierten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 7 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (MOSFET) nach einem fünften Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 8 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (IGBT) nach einem sechsten Ausführungsbeispiel der vorliegenden Erfindung

zeigt,

Fig. 9 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (Thyristor) nach einem siebzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Fig. 10 eine Draufsicht, die ein unebenes Muster eines vergrabenen Siliciumoxydfilmes zeigt,

Fig. 11 eine Draufsicht, die ein anderes unebenes Muster eines vergrabenen Siliciumdioxydfilmes zeigt,

Fig. 12A bis 12E Schnittdarstellungen, die unebene Muster von vergrabenen Siliciumdioxydfilmen zeigen,

Fig. 13 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem achtzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 14 ein Diagramm, das das Prinzip der in Fig. 13 dargestellten Leistungshalbleitervorrichtung zeigt,

Fig. 15 ein Diagramm, das die Verteilung eines elektrischen Feldes in einem Teil innerhalb der Vorrichtung vor dem Auftreten einer Lawinenerscheinung zeigt,

Fig. 16 ein Diagramm, das die Verteilung des elektrischen Feldes in einem Teil innerhalb der Vorrichtung nach Auftreten der Lawinenerscheinung zeigt,

Fig. 17A und 17B Diagramme zum Erläutern des Ergebnisses der Messung der Stehspannung der in Fig. 13 gezeigten Leistungshalbleitervorrichtung,

Fig. 18 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem neunten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 19 eine Draufsicht, die die Ebenengestalt der schwimmenden Elektrode zeigt,

Fig. 20 eine Draufsicht, die eine andere Ebenengestalt der schwimmenden Diode zeigt,

Fig. 21 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem siebzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt;

Fig. 22 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem elften Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 23 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem zwölften Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 24 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem dreizehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 25 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem vierzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 26 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem fünfzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 27 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem sechzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 28 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem siebzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 29 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem

achtzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 30 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (MOSFET) nach einem neunzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 31 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (IGBT) nach einem zwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 32 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (Thyristor) nach einem einundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 33 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem zweiundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 34 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem dreiundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 35 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem vierundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 36 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem fünfundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 37 ein Diagramm, das die Innenstruktur einer herkömmlichen Leistungshalbleitervorrichtung und ein Fremdstoffprofil hiervon zeigt,

Fig. 38 ein Diagramm, das die Verteilung eines elektrischen Feldes in der herkömmlichen, in Fig. 37 dargestellten Leistungshalbleitervorrichtung zeigt,

Fig. 39 ein Diagramm, das die Verteilung des elektrischen Feldes in der in Fig. 36 dargestellten Leistungshalbleitervorrichtung zeigt,

Fig. 40 ein Diagramm zum Erläutern der Methode des Ableitens eines angemessenen Fremdstoffkonzentrationsprofiles, wenn der vergrabene Isolierfilm dick ist,

Fig. 41 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem sechsundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 42 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (MOSFET) nach einem siebenundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Fig. 43 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem achtundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt, und

Fig. 44 einen Schnitt, der die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem neunundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt,

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Zeichnungen beschrieben.

Fig. 2 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In der Zeichnung bezeichnet ein Bezugszeichen 1 ein geerdetes Siliciumsubstrat, und ein vergräbener Siliciumdioxydfilm (SOI-Isolierfilm) 2, der einen unebenen

Oberflächenteil auf der Oberfläche hiervon hat, ist auf dem Siliciumsubstrat 1 gebildet. Eine n-Typ-Silicium-Aktivschicht (SOI-Halbleiterfilm) 3 von niedriger Fremdstoffkonzentration ist als eine i-Typ-Schicht (eigenleitende Schicht) auf dem vergrabenen Siliciumdioxydfilm 2 gebildet. Der vergrabene Siliciumdioxydfilm 2 und die n-Typ-Silicium-Aktivschicht 3 sind zusammengefaßt, um ein SOI-Substrat zu bilden.

Eine n-Typ-Emitterschicht 4 einer hohen Fremdstoffkonzentration und eine p-Typ-Emitterschicht 5 einer hohen Fremdstoffkonzentration sind selektiv durch Diffusion in dem Oberflächenbereich der n-Typ-Silicium-Aktivschicht 3 gebildet; und die p-Typ-Emitterschicht 5, die n-Typ-Silicium-Aktivschicht 3 und die n-Typ-Emitterschicht 4 sind zusammengefaßt, um eine pin-Diode zu liefern.

Eine Kathodenelektrode 6 ist auf der n-Typ-Emitterschicht 4 gebildet, und eine Anodenelektrode 7 ist auf der p-Typ-Emitterschicht 5 gebildet.

Wenn eine positive Spannung an die Leistungshalbleitervorrichtung mit der obigen Struktur über die Kathodenelektrode 6 und die Anodenelektrode 7 angelegt wird, werden Löcher h^+ unter den Ladungsträgern (Elektronen e und Löcher h^+) in der Vorrichtung in den konkaven Teilen der Oberfläche des vergrabenen Siliciumdioxydfilmes 2 eingefangen, wie dies in Fig. 3 gezeigt ist, da das Siliciumsubstrat 1 geerdet ist, und als Ergebnis werden positive Inversionsschichten 8 in den konkaven Teilen auf der Oberfläche des vergrabenen Siliciumdioxydfilmes 2 gebildet.

Da die obige Inversionsschicht 8 wirkt, um die Stärke des elektrischen Feldes in der n-Typ-Silicium-Aktivschicht 3 zu reduzieren, wird das elektrische Feld E_3 in der n-Typ-Silicium-Aktivschicht 3 schwächer als das elektrische Feld E_3 ohne Inversionsschicht 8. Die gleiche Erscheinung tritt in der n-Typ-Emitterschicht 4 auf. Da daher die Dichte des elektrischen Feldes in der Vorrichtung schwächer wird, kann die Stehspannung der Vorrichtung entsprechend im Vergleich mit dem herkömmlichen Fall erhöht werden.

Wie in Fig. 3 gezeigt ist, ist es vorzuziehen, daß die Tiefe d des konkaven Teiles (die Höhe des konvexen Teiles) des vergrabenen Siliciumdioxydfilmes 2 auf einen Wert größer als 50 nm eingestellt wird. Indem d auf den obigen Wert eingestellt wird, ist es möglich, wirksam Löcher in den konkaven Teilen einzufangen. Weiterhin wird die Dicke t_{ox} des vergrabenen Siliciumdioxydfilmes 2 ungefähr auf beispielsweise 4 μm eingestellt. Weiterhin ist es vorzuziehen, die lateralen oder seitlichen Breiten W_1 und W_2 des konkaven Teiles und konvexen Teiles des vergrabenen Siliciumdioxydfilmes 2 derart einzustellen, daß $W_1, W_2 < 3t_{ox}$ vorliegt. Die Dicke t des vergrabenen Siliciumdioxydfilmes 2 wird beispielsweise auf ungefähr 4 μm eingestellt.

Der vergrabene Siliciumdioxydfilm 2 kann ein PSG-(Phosphorsilikatglas-)Film, ein BPSG-(Bor-Phosphorsilikatglas-)Film oder dergleichen sein.

Die Ursache, warum die Dichte des elektrischen Feldes in der n-Typ-Silicium-Aktivschicht 3 reduziert ist, ist die folgende:

Wenn die dielektrischen Faktoren des vergrabenen Siliciumdioxydfilmes 2 und der n-Typ-Silicium-Aktivschicht 3 ϵ_2 und ϵ_3 sind, kann die folgende Gleichung infolge der Kontinuität der Dichte des elektrischen Feldes an der Grenzfläche zwischen dem vergrabenen Siliciumdioxydfilm 2 und der n-Typ-Silicium-Aktivschicht 3, wenn keine Inversionsschicht 8 gebildet ist, erhalten werden:

$$\epsilon_3 \cdot E_3 = \epsilon_2 \cdot E_2 \quad (1)$$

Wenn die Menge der Ladungen, die auf den konvexen Oberflächenteilen durch die Inversionsschichten 8 verursacht sind, durch Q gegeben ist (Q zeigt einen Mittelwert auf der Zwischenfläche zwischen dem vergrabenen Siliciumdioxydfilm 2 und der n-Typ-Silicium-Aktivschicht 3 an), dann wird die rechte Seite der Gleichung (1) verändert zu $(\epsilon_2 \cdot E_2 - Q)$.

Daher wird E_3 auf der linken Seite, das heißt das elektrische Feld in der n-Typ-Silicium-Aktivschicht 3, schwächer.

Wie oben beschrieben ist, kann gemäß dem ersten Ausführungsbeispiel das elektrische Feld in der Silicium-Aktivschicht mittels des vergrabenen Siliciumdioxydfilmes 2 geschwächt werden, der den unebenen Oberflächenteil auf der Oberfläche hiervon hat, und es kann eine Leistungshalbleitervorrichtung mit einer Stehspannung erhalten werden, die höher ist als diejenige der herkömmlichen Vorrichtung.

Da weiterhin die Stehspannung erhöht ist, kann die Fremdstoffkonzentration der n-Typ-Silicium-Aktivschicht 3 gesteigert werden, und der EIN-Widerstandswert hiervon kann vermindert werden.

Fig. 4 ist eine Schnittdarstellung 1 die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung zeigt. In den folgenden Zeichnungen sind Teile, die die gleichen sind oder denjenigen entsprechend die in den Fig. 1 und 3 gezeigt sind, mit den gleichen Bezeichnungen versehen, und eine Detailbeschreibung hiervon ist weggelassen (dies gilt auch für die folgenden Ausführungsbeispiele).

Die Leistungshalbleitervorrichtung des zweiten Ausführungsbeispiels ist verschieden von derjenigen des ersten Ausführungsbeispiels (Fig. 2) insoweit, als eine vergrabene Siliciumdioxyschicht 2a mit einem unebenen Oberflächenteil auf der Oberfläche hiervon auch auf der Oberseite der n-Typ-Silicium-Aktivschicht 3 gebildet ist. Gemäß dem zweiten Ausführungsbeispiel kann die Dichte des elektrischen Feldes in dem oberen Teil der n-Typ-Silicium-Aktivschicht 3 auch reduziert werden, und die Stehspannung kann weiter erhöht werden. In diesem Beispiel werden Elektronen in den konkaven Teilen des vergrabenen Siliciumdioxydfilmes 2a eingefangen.

Fig. 5 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem dritten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des dritten Ausführungsbeispiels unterscheidet sich von derjenigen des zweiten Ausführungsbeispiels (Fig. 4) dadurch, daß eine Feldplatte 11 auf der vergrabenen Siliciumdioxyschicht 2a gebildet ist. Gemäß dem dritten Ausführungsbeispiel kann ein auf der Seite der Kathodenelektrode 6 hervorgerufenes intensives elektrisches Feld durch die Feldplatte 11 gemindert werden, und das intensive elektrische Feld, das durch Bilden der Feldplatte 11 auf der Seite der Anodenelektrode 7 hervorgerufen ist, kann durch den vergrabenen Siliciumdioxydfilm 2a gemindert werden.

Fig. 6 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem vierten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des vierten Ausführungsbeispiels unterscheidet sich von derjenigen des

zweiten Ausführungsbeispiels (Fig. 4) dadurch, daß die Oberfläche des vergrabenen Siliciumdioxyschichtes 2b auf dem Siliciumsubstrat 1 flach gemacht ist. Wenn die vergrabene Siliciumdioxyschicht 2b dick gemacht ist, kann eine ausreichend hohe Stehspannung erhalten werden. Mit anderen Worten, wenn der vergrabene Siliciumdioxyschicht 2b dick gemacht ist, kann eine ausreichend hohe Stehspannung erzielt werden, indem lediglich der vergrabene Siliciumdioxyschicht 2a verwendet wird.

Fig. 7 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (MOSFET) nach einem fünften Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In dem ersten Ausführungsbeispiel (Fig. 2) liegt der vergrabene Siliciumdioxyschicht gemäß der vorliegenden Erfindung an der pin-Diode; er liegt jedoch in dem fünften Ausführungsbeispiel an einem MOS-Feldeffekttransistor (MOSFET). In diesem Fall sind, wie in Fig. 7 gezeigt ist, eine n-Typ-Drainschicht 31 und eine p-Typ-Wannenschicht 32 in dem Oberflächenbereich einer n-Typ-Silicium-Aktivschicht 3 gebildet. Weiterhin ist eine n-Typ-Sourceschicht 33 in dem Oberflächenbereich der p-Typ-Wannenschicht 32 gebildet. Weiterhin ist eine Drainelektrode 34 auf der n-Typ-Drainschicht 31 gebildet, und eine Sourceelektrode 35 ist auf der p-Typ-Wannenschicht 32 und der n-Typ-Sourceschicht 33 gebildet. Eine Gateelektrode 36 ist auf der n-Typ-Sourceschicht 33, der p-Typ-Wannenschicht 32 und der n-Typ-Silicium-Aktivschicht 3 über einen Gateoxydfilm 37 gebildet.

Bei der obigen Struktur kann wie in dem Fall des ersten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein MOSFET erhalten werden, dessen Stehspannung höher ist als diejenige des herkömmlichen Falles.

Fig. 8 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (IGBT) nach einem sechsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In dem ersten Ausführungsbeispiel (Fig. 2) liegt der vergrabene Siliciumdioxyschicht 2 gemäß der vorliegenden Erfindung an der pin-Diode; jedoch liegt er in dem sechsten Ausführungsbeispiel an einem Isolierge-Typ-Bipolartransistor (IGBT). In diesem Fall sind, wie in Fig. 8 gezeigt ist, eine n-Typ-Pufferschicht 38 und eine p-Typ-Wannenschicht 32 in dem Oberflächenbereich der n-Typ-Silicium-Aktivschicht 3 gebildet. Weiterhin ist eine p-Typ-Emitterschicht 39 in dem Oberflächenbereich der n-Typ-Pufferschicht 38 gebildet, und eine n-Typ-Sourceschicht 33 ist in dem Oberflächenbereich der p-Typ-Wannenschicht 32 gebildet. Weiterhin ist eine Drainelektrode auf der p-Typ-Emitterschicht 39 gebildet, und eine Sourceelektrode 35 ist auf der p-Typ-Wannenschicht 32 und der n-Typ-Sourceschicht 33 gebildet. Eine Gateelektrode 36 ist auf der n-Typ-Sourceschicht 33, der p-Typ-Wannenschicht 32 und der n-Typ-Silicium-Aktivschicht 3 über einen Gateoxydfilm 37 gebildet.

Bei der obigen Struktur kann wie in dem Fall des ersten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein IGBT erhalten werden, dessen Stehspannung höher ist als diejenige des herkömmlichen Falles.

Fig. 9 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (Thyristor) gemäß einem siebten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In dem ersten Ausführungsbeispiel (Fig. 2) liegt der vergrabene Siliciumdioxyschicht gemäß der vorliegenden Erfindung an der pin-Diode; jedoch liegt er in dem siebten Ausführungsbeispiel an einem Thyristor. In diesem Fall sind, wie in Fig. 9 gezeigt ist, eine n-Typ-Pufferschicht 38 und eine p-Typ-Basischicht 40 in dem Oberflächenbereich einer n-Typ-Silicium-Aktivschicht 3 gebildet. Weiterhin ist eine p-Typ-Emitterschicht 39 in dem Oberflächenbereich der n-Typ-Pufferschicht 38 gebildet und eine n-Typ-Sourceschicht 33 ist in dem Oberflächenbereich der p-Typ-Basischicht 40 gebildet. Weiterhin ist eine Drainelektrode 34 auf der p-Typ-Emitterschicht 39 gebildet und eine Sourceelektrode 41 ist auf der p-Typ-Basischicht 40 und der n-Typ-Sourceschicht 33 gebildet. Eine Gateelektrode 36 ist auf der n-Typ-Sourceschicht 33, der p-Typ-Basischicht 40 und der n-Typ-Silicium-Aktivschicht 3 über einen Gateoxydfilm 37 gebildet. Bei einem Ansteuerbetrieb ist eine Schalterschaltung mit einem verschiedenen Gate 42, wie in Fig. 9 gezeigt ist, beispielsweise mit der Sourceelektrode 41 verbunden.

Bei der obigen Struktur kann wie im Fall des ersten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein Thyristor erhalten werden, dessen Stehspannung höher ist als diejenige des herkömmlichen Falles.

Die Fig. 10 und 11 sind Draufsichten, die unebene Muster der vergrabenen Siliciumdioxyschichten 2, 2a und 2b zeigen, welche in dem ersten bis siebenten Ausführungsbeispiel verwendet sind.

Fig. 10 zeigt ein Beispiel des unebenen Musters mit konkaven Teilen mit einer kreisförmigen Ebenengestalt, und Fig. 11 zeigt ein Beispiel des unebenen Musters mit konkaven Teilen mit einer quadratischen (polygonalen) Ebenengestalt. Die obigen unebenen Muster können einfach mittels der bekannten Photolithographietechnik oder Ätztechnik gebildet werden.

Die Fig. 12A bis 12E sind Schnittdarstellungen, die unebene Muster von vergrabenen Siliciumdioxyschichten 2, 2a und 2b zeigen, welche in den ersten bis siebenten Ausführungsbeispielen verwendet sind. Fig. 12A zeigt ein Beispiel des unebenen Musters mit konkaven Teilen mit einem invers kegelförmigen Querschnitt, Fig. 12B zeigt ein Beispiel des unebenen Musters mit konkaven Teilen mit einem dreieckförmigen Querschnitt, Fig. 12C zeigt ein Beispiel des unebenen Musters mit konvexen Teilen mit einem kegelförmigen Querschnitt, Fig. 12D zeigt ein Beispiel des unebenen Musters mit konkaven Teilen mit einem trapezförmigen Querschnitt, und Fig. 12E zeigt ein Beispiel des unebenen Musters mit einem unebenen Oberflächenteil mit einem unregelmäßigen Querschnitt.

Fig. 13 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem achten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des achten Ausführungsbeispiels unterscheidet sich von derjenigen des ersten Ausführungsbeispiels (Fig. 2) dadurch, daß schwimmende Elektroden 9 in der vergrabenen Siliciumdioxyschicht 2 gebildet sind. Mit anderen Worten, beim achten Ausführungsbeispiel wird der vergrabene Siliciumdioxyschicht 2 mit den darin vergrabenen schwimmenden Elektroden 9 verwendet.

Wenn eine Spannung an die Leistungshalbleitervorrichtung mit der obigen Struktur angelegt und graduell erhöht wird, tritt eine Lawinenerscheinung auf, um Elektronen e und Löcher h⁺ durch ein intensives elek-

trisches Feld zu erzeugen, das in der Vorrichtung hervorgerufen ist, wenn die Spannung einen bestimmten Pegel erreicht, wie dies in Fig. 14 gezeigt ist. Die Löcher $h+$ werden in die schwimmenden Elektroden 9 über den vergrabenen Siliciumdioxydfilm 2 nach dem gleichen Prinzip wie in dem Fall des EPROM injiziert, so daß die schwimmende Elektrode 9 positiv aufgeladen wird. Als Ergebnis kann die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden.

Fig. 15 zeigt die Verteilung des elektrischen Feldes in einem Teil innerhalb der Vorrichtung vor dem Auftreten der Lawinenerscheinung, und Fig. 16 zeigt die Verteilung des elektrischen Feldes in einem Teil innerhalb der Vorrichtung nach Auftreten der Lawinenerscheinung. Wenn die Menge der in der schwimmenden Elektrode 9 gespeicherten Ladungen durch Q gegeben ist, wird das elektrische Feld in der n-Typ-Silicium-Aktivschicht 3 nach Auftreten der Lawinenerscheinung um eine Größe entsprechend Q/ϵ_2 reduziert. Das heißt, wenn die Lawinenerscheinung auftritt, ist die Fläche der n-Typ-Silicium-Aktivschicht 3, die durch schräge Linien in Fig. 15 angedeutet ist, um eine Größe entsprechend Q/ϵ_2 reduziert, wie dies in Fig. 16 gezeigt ist. Selbst wenn eine Spannung des gleichen Pegels wie zuvor an einem Teil der n-Typ-Silicium-Aktivschicht 3 entsprechend einem Teil der geladenen schwimmenden Elektrode 9, in die Löcher injiziert sind, angelegt wird, tritt keine Lawinenerscheinung auf. Das heißt, wenn die schwimmende Elektrode 9 darin gespeicherte Ladungen hat, wird ein Teil, in welchem die Lawinenerscheinung aufgetreten ist, in der Vorrichtung gespeichert, und die in der schwimmenden Elektrode 9 gespeicherten Ladungen wirken, um das Auftreten der Lawinenerscheinung in dem Teil zu verhindern, selbst wenn die Spannung angelegt ist.

In dem achten Ausführungsbeispiel wird eine Impulsspannung oder eine Spannung, die graduell angehoben ist, an die Leistungshalbleitervorrichtung vor einem Vorrichtungsbetrieb angelegt, um eine Lawinenerscheinung in der n-Typ-Silicium-Aktivschicht 3 und erforderliche Ladung einer der schwimmenden Elektroden 9 zu verursachen, so daß eine Leistungshalbleitervorrichtung mit einer hohen Stehspannung realisiert wird.

Um wirksam die schwimmenden Elektroden 9 aufzuladen, ist es vorzuziehen, den Abstand d_1 von der Oberfläche des vergrabenen Siliciumdioxydfilmes 2 bis zu der Oberfläche der schwimmenden Elektrode 9 in den Bereich von $200 \text{ nm} > d_1 > 5 \text{ nm}$ einzustellen, wie dies in Fig. 14 gezeigt ist. Wenn weiterhin die Dicke des vergrabenen Siliciumdioxydfilmes 2 den Wert t_{ox} hat, ist es vorzuziehen, die vertikale Breite d_2 der schwimmenden Elektrode 9 in den Bereich von $d_2 < t_{ox}/2$ einzustellen. Weiterhin wird die seitliche oder laterale Breite W_3 der schwimmenden Elektrode 9 vorzugsweise kleiner als die Driftlänge eingestellt, und das Intervall W_4 zwischen den schwimmenden Elektroden 9 wird vorzugsweise in den Bereich von $W_4 < 3t_{ox}$ eingestellt.

Die Fig. 17A und 17B sind Diagramme zum Darstellen des Ergebnisses einer Computersimulation aufgrund der Stehspannung der Leistungshalbleitervorrichtung. In Fig. 17A ist ein Graph gezeigt, der die Beziehung zwischen Ladungen der schwimmenden Elektrode 9 und der Stehspannung angibt. Wie aus dem Graph zu erkennen ist, kann die Stehspannung angehoben werden, da das Intervall W_4 zwischen den schwimmenden Elektroden 9 kleiner gemacht ist. Gleichzeitig wird die Dicke t_{ox} des vergrabenen Siliciumdioxydfilmes 2 auf $2 \mu\text{m}$ eingestellt. In Fig. 17B sind Daten der Stehspannungswerte

gezeigt, die erhalten sind, wenn die Dicke t_{ox} des vergrabenen Siliciumdioxydfilmes 2 und das Intervall W_4 zwischen den schwimmenden Elektroden 9 verändert werden. Wie aus den Daten zu erkennen ist, kann die Stehspannung angehoben werden, wenn die Dicke t_{ox} des vergrabenen Siliciumdioxydfilmes 2 größer gemacht ist.

Fig. 18 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem neunten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des neunten Ausführungsbeispiels unterscheidet sich von derjenigen des achten Ausführungsbeispiels (Fig. 13) dadurch, daß der Abstand d zwischen der Oberfläche der schwimmenden Elektrode 9 und der Oberfläche der vergrabenen Siliciumdioxydschicht 2 auf 5 nm oder weniger eingestellt ist. Das heißt, in dem neunten Ausführungsbeispiel ist die schwimmende Elektrode 9 extrem nahe zu der Oberfläche des vergrabenen Siliciumdioxydfilmes 2 gebildet, und Löcher werden in die schwimmenden Elektroden 9 nicht durch die Lawinenerscheinung, sondern durch den Tunneleffekt injiziert. Wenn in diesem Fall die Richtung des elektrischen Feldes in der n-Typ-Siliciumschicht 3 und in dem vergrabenen Siliciumdioxydfilm 2 umgedreht ist, werden Elektronen in die Elektroden 9 durch den Tunneleffekt injiziert.

Wenn die schwimmende Elektrode 9 aufgeladen oder entladen wird, ist es möglich, genau die Ladungsgröße der schwimmenden Elektrode zu steuern, indem das Substratpotential in der gleichen Weise wie im Falle des Steuergates eines EEPROM vorgespannt wird. Das heißt, die Ladungsgröße der schwimmenden Elektrode wird genau eingestellt, indem jeweils veränderliche Spannungsversorgungen für das Substrat, die Kathodenelektrode und die Anodenelektrode geliefert werden, um so unabhängig das Substratpotential, das Kathodenelektrodenpotential und das Anodenelektrodenpotential zu steuern, und indem die veränderlichen Spannungsversorgungen gesteuert werden, um die Potentialdifferenz zwischen dem Substrat und der Kathodenelektrode und die Potentialdifferenz zwischen dem Substrat und der Anodenelektrode zu steigern und die Potentialdifferenz zwischen der Kathodenelektrode und der Anodenelektrode zu reduzieren.

Die Fig. 19 und 20 sind Draufsichten, die die Ebenengestalten der schwimmenden Elektroden zeigen, welche in den achten und neunten Ausführungsbeispielen verwendet sind.

Fig. 19 zeigt eine Beispiel der schwimmenden Elektroden 9 mit einer kreisförmigen Ebenengestalt. In diesem Fall ist die Richtfähigkeit des elektrischen Feldes verloren, und es liegt kein Teil vor, in welchem das elektrische Feld konzentriert ist. Weiterhin zeigt Fig. 20 ein Beispiel der schwimmenden Elektroden 9 mit einer quadratischen (polygonalen) Ebenengestalt. Da in diesem Fall die Anzahl der schwimmenden Elektroden für jede Einheitsfläche gesteigert werden kann, kann die Dichte des elektrischen Feldes in der Vorrichtung wirksam abgesenkt werden. In diesem Fall ist es möglich, schwimmende Elektroden 9 von Streifenform zu verwenden.

Fig. 21 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem zehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des zehnten Ausführungsbeispiels unterscheidet sich von derjenigen des achten Ausführungsbeispiels (Fig. 13) dadurch, daß eine

Siliciumdioxyschicht 2a mit darin vergrabenen schwimmenden Elektroden 9a auf der n-Typ-Silicium-Aktivschicht 3 gebildet ist. Gemäß dem zehnten Ausführungsbeispiel kann die Dichte des elektrischen Feldes in dem oberseitigen Teil der n-Typ-Silicium-Aktivschicht 3 wirksam abgesenkt werden.

Fig. 22 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem elften Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des elften Ausführungsbeispiels unterscheidet sich von derjenigen des zehnten Ausführungsbeispiels (Fig. 21) dadurch, daß keine schwimmende Elektrode in dem vergrabenen Siliciumdioxyschicht 2 gebildet ist. Wenn der vergrabene Siliciumdioxyschicht 2b dick ist, wird eine ausreichend hohe Stehspannung erhalten. Mit anderen Worten, wenn der vergrabene Siliciumdioxyschicht 2b dick ist, wird eine ausreichend hohe Stehspannung nur durch Verwendung des vergrabenen Siliciumdioxyschichtes 2a erhalten.

Die Fig. 23 bis 25 sind Schnittdarstellungen, die die Innenstrukturen von Leistungshalbleitervorrichtungen (pin-Dioden) nach einem zwölften bis vierzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigen. Die Leistungshalbleitervorrichtungen der Fig. 23 bis 25 werden erhalten, indem die Dicken der n-Typ-Silicium-Aktivschichten 3 in den Leistungshalbleitervorrichtungen der Fig. 13, 21 und 22 vermindert werden.

Die Fig. 26 bis 29 sind Schnittdarstellungen, die die Innenstrukturen von Leistungshalbleitervorrichtungen (pin-Dioden) nach einem fünfzehnten bis achtzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigen. Die Leistungshalbleitervorrichtungen der Fig. 26 bis 29 werden erhalten, indem obere Elektroden 12 auf den jeweiligen vergrabenen Siliciumdioxyschichten 2a der Leistungshalbleitervorrichtungen der Fig. 21, 22, 24, 25 gebildet werden. Gemäß dem fünfzehnten bis achtzehnten Ausführungsbeispiel kann die Ladungsgröße der schwimmenden Elektrode 9a genau durch eine an die obere Elektrode 12 gelegte Spannung gesteuert werden. Weiterhin kann durch Verbinden der oberen Elektrode 12 mit der Kathodenelektrode 6 oder der Anodenelektrode 7 ein Einfluß durch das elektrische Feld auf den oberen Teil der Vorrichtung gemildert werden.

Fig. 30 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (MOSFET) gemäß einem neunzehnten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In dem achten Ausführungsbeispiel (Fig. 13) wird der vergrabene Siliciumdioxyschicht gemäß der vorliegenden Erfindung auf die pin-Diode angewandt; jedoch wird er in dem neunzehnten Ausführungsbeispiel auf einen MOSFET angewandt. In diesem Fall sind, wie in Fig. 30 gezeigt ist, eine n-Typ-Drainschicht 31 und ein p-Typ-Wannenschicht 32 in dem Oberflächenbereich einer n-Typ-Silicium-Aktivschicht 3 gebildet. Weiterhin ist eine n-Typ-Sourceschicht 33 in dem Oberflächenbereich der p-Typ-Wannenschicht 32 gebildet. Außerdem ist eine Drainelektrode 34 auf der n-Typ-Drainschicht 31 gebildet, und eine Sourceelektrode 35 ist in der p-Typ-Wannenschicht 32 und der n-Typ-Sourceschicht 33 gebildet. Eine Gateelektrode 36 ist auf der n-Typ-Sourceschicht 33, der p-Typ-Wannenschicht 32 und der n-Typ-Silicium-Aktivschicht 3 über einen Gateoxydfilm 37 gebildet. Bei der obigen Struktur kann wie im Falle des ersten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein MOSFET erhalten werden, dessen Stehspannung

nung höher ist als diejenige des herkömmlichen Falles.

Mit der obigen Struktur kann wie im Falle des achten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein MOSFET erhalten werden, dessen Stehspannung höher ist als diejenige des herkömmlichen Falles.

Fig. 31 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (IGBT) gemäß einem zwölften Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In dem achten Ausführungsbeispiel (Fig. 13) wird der vergrabene Siliciumdioxyschicht gemäß der vorliegenden Erfindung auf die pin-Diode angewandt; jedoch wird er in dem zwölften Ausführungsbeispiel auf einen IGBT angewandt. In diesem Fall sind, wie in Fig. 31 gezeigt ist, eine n-Typ-Pufferschicht 38 und eine p-Typ-Wannenschicht 32 in dem Oberflächenbereich einer n-Typ-Silicium-Aktivschicht 3 gebildet. Weiterhin ist eine p-Typ-Emitterschicht 39 in dem Oberflächenbereich der n-Typ-Pufferschicht 38 gebildet, und eine n-Typ-Sourceschicht 33 ist in dem Oberflächenbereich der p-Typ-Wannenschicht 32 gebildet. Außerdem ist eine Drainelektrode 34 auf der p-Typ-Emitterschicht 39 gebildet, und eine Sourceelektrode 35 ist auf der p-Typ-Wannenschicht 32 und der n-Typ-Sourceschicht 33 gebildet. Eine Gateelektrode 36 ist auf der n-Typ-Sourceschicht 33, der p-Typ-Wannenschicht 32 und der n-Typ-Silicium-Aktivschicht 3 über einen Gateoxydfilm 37 gebildet.

Bei der obigen Struktur kann wie im Falle des achten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein IGBT erhalten werden, dessen Stehspannung höher ist als diejenige des herkömmlichen Falles.

Fig. 32 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (Thyristor) gemäß einem einundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In dem achten Ausführungsbeispiel (Fig. 13) ist der vergrabene Siliciumdioxyschicht gemäß der vorliegenden Erfindung auf die pin-Diode angewandt; jedoch ist er in dem einundzwanzigsten Ausführungsbeispiel auf einen Thyristor angewandt. In diesem Fall werden, wie in Fig. 32 gezeigt ist, eine n-Typ-Pufferschicht 38 und eine p-Typ-Basischicht 40 in dem Oberflächenbereich einer n-Typ-Silicium-Aktivschicht 3 gebildet. Weiterhin wird eine p-Typ-Emitterschicht 39 in dem Oberflächenbereich der n-Typ-Pufferschicht 38 gebildet, und eine n-Typ-Sourceschicht 33 wird in dem Oberflächenbereich der p-Typ-Basischicht 40 gebildet. Außerdem wird eine Drainelektrode 34 auf der p-Typ-Emitterschicht 39 gebildet und eine Sourceelektrode 41 wird auf der p-Typ-Basischicht 40 und der n-Typ-Sourceschicht 33 gebildet. Eine Gateelektrode 36 wird auf der n-Typ-Sourceschicht 33, der p-Typ-Basischicht 40 und der n-Typ-Silicium-Aktivschicht 3 über einen Gateoxydfilm 37 gebildet. In dem Ansteuerbetrieb ist eine Schalterschaltung mit einem verschiedenen Gate 42, wie in Fig. 32 gezeigt, mit beispielsweise der Sourceelektrode 41 verbunden.

Mit der obigen Struktur kann wie im Falle des achten Ausführungsbeispiels die Dichte des elektrischen Feldes in der Vorrichtung abgesenkt werden, und es kann ein Thyristor erhalten werden, dessen Stehspannung höher ist als diejenige des herkömmlichen Falles.

Fig. 33 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem zweiundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des zweiundzwanzigsten Ausführungsbeispiels unterscheidet sich von derjenigen des achten Ausführungsbeispiels (Fig. 13) dadurch, daß einen ionenimplantierte Schicht 13, die gebildet ist durch implantieren von Metallionen, wie beispielsweise Gold, in den Oberflächenbereich der n-Typ-Silicium-Aktivschicht, anstelle der schwimmenden Elektrode verwendet wird. Die ionenimplantierte Schicht 13 wirkt als eine geladene schwimmende Elektrode, und daher kann der gleiche Effekt erzielt werden, der durch Verwendung der schwimmenden Elektrode erhalten ist.

Fig. 34 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem dreiundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des dreiundzwanzigsten Ausführungsbeispiels unterscheidet sich von derjenigen des dreiundzwanzigsten Ausführungsbeispiels (Fig. 33) dadurch, daß diskrete ionenimplantierte Schichten 13 durch teilweises Implantieren von Metallionen gebildet sind. Da in dem dreiundzwanzigsten Ausführungsbeispiel zwei benachbarte ionenimplantierte Schichten 13 voneinander durch einen Oxydfilm isoliert sind, bewegen sich in der ionenimplantierten Schicht 13 eingefangene Löcher nicht in die benachbarte ionenimplantierte Schicht 13, um so zu ermöglichen, daß das Auftreten eines Leckstromes verhindert ist.

Fig. 35 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem vierundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des vierundzwanzigsten Ausführungsbeispiels unterscheidet sich von derjenigen des zweiundzwanzigsten Ausführungsbeispiels (Fig. 33) dadurch, daß ein Siliciumdioxydfilm 2a mit einer darin gebildeten ionenimplantierten Schicht 13 auf der Oberseite der n-Typ-Silicium-Aktivschicht 3 gebildet ist. Gemäß dem vierundzwanzigsten Ausführungsbeispiel kann die Dichte des elektrischen Feldes in dem oberen Teil der n-Typ-Silicium-Aktivschicht 3 klein gemacht werden, und die Stehspannung kann weiter gesteigert werden. Wenn der vergrabene Siliciumdioxydfilm 2a dick ist, kann die ionenimplantierte Schicht des vergrabenen Siliciumdioxydfilmes 2a weggelassen werden.

Fig. 36 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem fünfundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

In Fig. 36 bezeichnet ein Bezugssymbol 2 einen dicken vergrabenen Isolierfilm mit einer Dicke von ungefähr 1 µm bis einigen hundert µm, der aus Quarzglas gebildet ist. Das heißt, die Dicke des vergrabenen Siliciumdioxydfilmes 2 ist im wesentlichen die gleiche wie die Driftlänge D (die Länge der n-Typ-Silicium-Aktivschicht 3 eines Teiles mit Ausnahme der n-Typ-Emitterschicht 4 und der p-Typ-Emitterschicht 5) der Vorrichtung.

Das Merkmal des fünfundzwanzigsten Ausführungsbeispiels liegt darin, daß das Fremdstoffkonzentrationsprofil der i-Typ-Silicium-Aktivschicht 3i eines hohen Widerstandwertes in der Driftlängsrichtung in der Form des Buchstabens "S" gebildet ist (nahezu $\tan \Theta$). Vorgezogene ist ein Teil von ungefähr 1/10 bis 1/2 der i-Typ-Silicium-Aktivschicht 3i als ein p-Typ-Bereich gebildet. Das heißt, ein Bereich, der von der Position "0" bis zu der Position von ungefähr D/10 bis D/2 reicht, ist als

ein p-Typ-Bereich in der Form des Buchstabens "S" gebildet.

Fig. 39 ist ein Diagramm, das die Verteilung des elektrischen Feldes in der i-Typ-Silicium-Aktivschicht (Driftschicht) 3i des fünfundzwanzigsten Ausführungsbeispiels zeigt. In Fig. 39 bedeutet ein Bezugssymbol P4 die Position einer n-Typ-Emitterschicht 4, und ein Bezugssymbol P5 zeigt die Position einer p-Typ-Emitterschicht 5 an. Wie aus der Fig. 39 zu ersehen ist, hat das elektrische Feld in der i-Typ-Silicium-Aktivschicht 3i den Wert Ec und ist konstant, und es liegt kein Teil vor, in welchem die Stehspannung teilweise abgesenkt ist.

Fig. 37 ist ein Diagramm, das die Innenstruktur einer herkömmlichen Leistungshalbleitervorrichtung und ein Fremdstoffkonzentrationsprofil hiervon zeigt. Das heißt, Fig. 37 zeigt ein n-Typ-Fremdstoffkonzentrationsprofil in der Innenstruktur, in welcher die Driftlänge ausreichend größer als die Dicke des vergrabenen Siliciumdioxydfilmes 2 ist. Das n-Typ-Fremdstoffkonzentrationsprofil ist in einer linearen Form definiert, daß die n-Typ-Fremdstoffkonzentration höher in einem Teil wird, der näher zu der n-Typ-Emitterschicht 4 ist. Das elektrische Feld, das hervorgerufen ist, wenn das n-Typ-Fremdstoffkonzentrationsprofil auf eine n-Typ-Silicium-Aktivschicht der Leistungshalbleitervorrichtung angewandt ist, die einen dicken vergrabenen Siliciumdioxydfilm wie in dem fünfundzwanzigsten Ausführungsbeispiel hat, ist in Fig. 38 gezeigt.

Aus der Fig. 38 ist zu ersehen, daß das elektrische Feld plötzlich an beiden Ende der n-Typ-Silicium-Aktivschicht (Driftschicht) ansteigt, und ein Teil, in welchem die Stehspannung teilweise abgesenkt ist, ist vorhanden. Wenn ein Teil mit einer niedrigen Stehspannung vorliegt, so wird die Stehspannung der Vorrichtung extrem abgesenkt, und eine hohe Stehspannung kann nicht erhalten werden. Die Tatsache, daß die Stehspannung abgesenkt ist, wenn das herkömmliche lineare Fremdstoffkonzentrationsprofil in einem Fall verwendet wird, in welchem der vergrabene Siliciumdioxydfilm dick ist (wenn die Dicke und die Driftlänge des vergrabenen Siliciumdioxydfilmes im wesentlichen gleich zueinander sind), und daß eine ausreichend hohe Stehspannung erzielt werden kann, wenn das Fremdstoffkonzentrationsprofil in der Form eines Buchstabens "S" in dem fünfundzwanzigsten Ausführungsbeispiel vorliegt, wird als eine neue Tatsache verwendet, welche von den Erfindern ermittelt wurde.

Fig. 40 ist ein Diagramm zum Erläutern des Verfahrens zum Ableiten eines Fremdstoffkonzentrationsprofils einer Siliciumaktivschicht 3n/p eines Leitfähigkeits-
typs, wenn der vergrabene Isolierfilm 2ins dick ist.

Eine Spannung der Siliciumaktivschicht 3n/p eines Leitfähigkeits-
typs wird als eine feste Grenzbedingung eingestellt, ein elektrisches Feld E(x) mit einem konstanten Potential in der Horizontalrichtung liegt an der Siliciumaktivschicht 3n/p des einen Leitfähigkeits-
typs, und die Verteilung des elektrischen Feldes in der Vorrichtung ist abgeleitet durch Verwendung von einer analytischen Methode, beispielsweise einer Vorrichtungssimulation oder eines Computerprogrammes zum Lösen der Poisson-Gleichung. Wenn das elektrische Feld senkrecht zu der Zwischenfläche zwischen dem vergrabenen Isolierfilm 2ins und der Siliciumaktivschicht 3n/p des einen Leitfähigkeits-
typs auf $E_v(x)$ eingestellt ist, wird ein optimales Fremdstoffkonzentrationsprofil $N(x)$ wie folgt erhalten:

$$N(x) = \varepsilon \cdot E_v(x) / (q \cdot t_{si}) \quad (2)$$

wobei ϵ einen dielektrischen Faktor des vergrabenen Isolierfilms 2_{ins} , q eine Elementarladung und t_{Si} die Dicke der Siliciumaktivschicht $3_{n/p}$ des einen Leitfähigkeits- p -Typs bedeuten. Wenn $N(x)$ negativ ist, liegt ein p -Typ vor, und wenn $N(x)$ positiv ist, ist ein n -Typ vorhanden.

Gemäß dem Verfahren des fünfundzwanzigsten Ausführungsbeispiels kann ein optimales Fremdstoffprofil mathematisch abgeleitet werden, selbst wenn die Gestalt des vergrabenen Isolierfilms 2_{ins} kompliziert ist oder die Vorrichtung in einer 3-dimensionalen Form gestaltet ist.

In dem fünfundzwanzigsten Ausführungsbeispiel ist ein Fall erläutert, bei dem der vergrabene Isolierfilm dick ist, wobei jedoch selbst dann, wenn der Isolierfilm dünn ist, das optimale Profil der Schicht hohen Widerstandes die Form des Buchstabens "S" nahe bei einer geraden Linie annimmt. Wenn die Dicke des Isolierfilms $1/25$ der Driftschichtlänge überschreitet, wird die Kurve des "S" steil, und es ist vorzuziehen, das Profil in der Form des Buchstabens "S" für die Stehspannung einzustellen. Weiterhin wird im fünfundzwanzigsten Ausführungsbeispiel der vergrabene Isolierfilm gemäß der vorliegenden Erfindung auf die pin-Diode angewandt; jedoch kann eine hohe Stehspannung erzielt werden, wenn sie auf einen MOSFET, IGBT oder Thyristor angewandt ist.

Fig. 41 ist eine Querschnittsdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem sechsundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des sechsundzwanzigsten Ausführungsbeispiels unterscheidet sich von derjenigen des fünfundzwanzigsten Ausführungsbeispiels (Fig. 36) dadurch, daß Mehrstufen-Feldplatten 14_F , 14_{Fn} in einer i -Typ-Silicium-Aktivschicht $3i$ gebildet sind. Die Feldplatte 14_F ist eine schwimmende Feldplatte, die nicht mit der Kathodenelektrode 4 verbunden ist, und die Feldplatte 14_{Fn} ist eine schwimmende Feldplatte, die mit der Kathodenelektrode 4 verbunden ist. Weiterhin sind die benachbarten Feldplatten voneinander durch einen entsprechenden Film der Isolierfilme 15 isoliert.

Wenn die Feldplatte aus Metall gebildet ist, sind die Feldplatte 14_F und die i -Typ-Silicium-Aktivschicht $3i$ durch einen Schottky-Übergang verbunden, oder die Feldplatte 14_F ist an die i -Typ-Silicium-Aktivschicht $3i$ über einen Diffusionsschicht angeschlossen. Wenn sie über die Diffusionsschicht angeschlossen ist, ist vorzuziehen, die Feldplatte 14_F in einem Bereich einer hohen n -Typ-Fremdstoffkonzentration auf der Seite der Kathodenelektrode 4 mit der i -Typ-Silicium-Aktivschicht $3i$ über einen n -Typ-Diffusionsschicht zu verbinden und die Feldplatte 14_F in einem Bereich einer hohen p -Typ-Fremdstoffkonzentration auf der Seite der Anodenelektrode 5 an die i -Typ-Silicium-Aktivschicht $3i$ über eine p -Typ-Diffusionsschicht anzuschließen.

Wenn weiterhin die Feldplatte aus Polysilicium gebildet ist, sind die Feldplatte 14_F und die i -Typ-Silicium-Aktivschicht $3i$ direkt miteinander verbunden, oder die Feldplatte 14_F ist an die i -Typ-Silicium-Aktivschicht $3i$ über eine Polysiliciumschicht angeschlossen. Ähnlich wie im ersten Fall ist, wenn sie über eine Diffusionsschicht angeschlossen ist, vorzuziehen, die Feldplatte 14_F auf der Seite der Kathodenelektrode 4 mit der i -Typ-Silicium-Aktivschicht $3i$ über eine n -Typ-Diffusionsschicht zu verbinden und die Feldplatte 14_F auf der Seite der Anodenelektrode 5 an die i -Typ-Silicium-Aktivschicht $3i$ über eine p -Typ-Diffusionsschicht anzu-

schließen.

Gemäß dem sechsundzwanzigsten Ausführungsbeispiel kann die Stehspannung weiter durch die Feldplatten 14_F und 14_{Fn} gesteigert werden. Da die Stehspannung angehoben werden kann, kann die Fremdstoffkonzentration der i -Typ-Silicium-Aktivschicht $3i$ höher gemacht werden, und die EIN-Spannung (EIN-Widerstand) kann abgesenkt werden.

Fig. 42 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (MOSFET) gemäß einem siebenundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Das siebenundzwanzigste Ausführungsbeispiel ist ein Beispiel, bei welchem eine Vielzahl von in Reihe verbundenen MOSFETs auf i -Typ-Silicium-Aktivschichten $3i$ gebildet sind, welche auf einem dicken vergrabenen Siliciumdioxysfilm 2_{thic} vorgesehen sind. Jeder der MOSFETs ist durch eine n -Typ-Sourceschicht 16 einer hohen Fremdstoffkonzentration, die selektiv in dem Oberflächenbereich einer p -Typ-Emitterschicht 5 ausgebildet ist (die eine p -Typ-Emitterschicht als eine p -Typ-Wannenschicht in diesem Beispiel ist), eine n -Typ-Drainschicht 17 , die selektiv in dem Oberflächenbereich der i -Typ-Silicium-Aktivschicht $3i$ ausgebildet ist, eine p -Typ-Emitterschicht (p -Typ-Wannenschicht) 5 zwischen der n -Typ-Drainschicht 17 und der n -Typ-Sourceschicht 16 und eine Gateelektrode 19 , die in einem Isolierfilm 15 auf der i -Typ-Silicium-Aktivschicht $3i$ ausgebildet ist, geformt. In diesem Fall wird der Isolierfilm 15 durch einen dünnen Isolierfilm, der als ein Gateisolierfilm verwendet wird, und einen dicken Isolierfilm, der die Gateelektrode 19 bedeckt, gebildet.

Da in dem herkömmlichen SOI-Substrat der vergrabene Siliciumdioxysfilm relativ dünn ist, kann eine hohe Stehspannung ohne besondere Beachtung nicht erhalten werden, falls Vorrichtungen in Reihe verbunden sind. Wenn andererseits der vergrabene Siliciumdioxysfilm dick ist, kann eine hohe Stehspannung erzielt werden, indem die Fremdstoffkonzentration der i -Typ-Silicium-Aktivschicht ausreichend klein gemacht wird, selbst wenn Vorrichtungen in Reihe verbunden sind. Jedoch tritt in diesem Fall ein Problem auf, daß die EIN-Spannung hoch wird.

Dagegen wird in dem Fall des siebenundzwanzigsten Ausführungsbeispiels die Stehspannung durch das Fremdstoffkonzentrationsprofil in der Form des Buchstabens "S" angehoben, und Ladungen, die verursacht sind, wenn die i -Typ-Silicium-Aktivschicht $3i$ verarmt ist, können durch die Feldplatte 14_F , 14_{Fn} gelöscht werden. Da daher gemäß dem siebenundzwanzigsten Ausführungsbeispiel die Fremdstoffkonzentration der i -Typ-Silicium-Aktivschicht $3i$ hoch gemacht werden kann, selbst wenn der dicke vergrabene Siliciumdioxysfilm 2_{thic} verwendet wird, können gleichzeitig die hohe Stehspannung und die niedrige EIN-Spannung beide erreicht werden.

Fig. 43 ist eine Schnittdarstellung, die die Innenstruktur der Leistungshalbleitervorrichtung (pin-Diode) gemäß einem achtundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des achtundzwanzigsten Ausführungsbeispiels unterscheidet sich von derjenigen des fünfundzwanzigsten Ausführungsbeispiels (Fig. 36) dadurch, daß eine lange Feldplatte 14_L auf dem Isolierfilm 15 gebildet ist, wobei ein Isolierfilm 21 eines Isoliermaterials (beispielsweise Luft) außer dem Oxyd dazwischen angeordnet ist. Wenn der vergrabene Siliciumdioxysfilm 2_{thic} dick ist, tritt eine Konzen-

tration des elektrischen Feldes in einem weiten Bereich in der herkömmlichen Leistungshalbleitervorrichtung auf. Das heißt, eine Konzentration des elektrischen Feldes tritt nicht nur in der i-Typ-Silicium-Aktivschicht 3i, sondern in einem Teil nahe der n-Typ-Emitterschicht 4 und der p-Typ-Emitterschicht 5 auf. Selbst wenn weiterhin die Konzentration des elektrischen Felds nicht auftritt, nimmt der größte Teil der i-Typ-Silicium-Aktivschicht 3i, die eine n-Typ-Siliciumschicht einer niedrigen Fremdstoffkonzentration ist, einen p-Typ an.

Jedoch kann in dem achtundzwanzigsten Ausführungsbeispiel eine Konzentration des elektrischen Feldes in einem Bereich, der von der i-Typ-Silicium-Aktivschicht 3i bis zu der n-Typ-Emitterschicht 4 reicht, wirksam durch Bildung der langen Feldplatte 14L verhindert werden, und der gesamte Teil der i-Typ-Silicium-Aktivschicht 3i kann aus einem n-Typ gemacht sein. Wenn die i-Typ-Silicium-Aktivschicht 3i als ein n-Typ-Bereich gehalten werden kann, kann die Herstellung des MOSFET vereinfacht werden.

Fig. 44 ist eine Schnittdarstellung, die die Innenstruktur einer Leistungshalbleitervorrichtung (pin-Diode) nach einem neunundzwanzigsten Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Die Leistungshalbleitervorrichtung des neunundzwanzigsten Ausführungsbeispiels ist von derjenigen des siebenundzwanzigsten Ausführungsbeispiels (Fig. 42) dadurch verschieden, daß eine längere Feldplatte 14LL verwendet wird. Das heißt, in dem neunundzwanzigsten Ausführungsbeispiel wird die längere Feldplatte 14LL verwendet, die sich von der n-Typ-Emitterschicht 4 bis zu der p-Typ-Emitterschicht 5 erstreckt. Durch Verwenden der längeren Feldplatte 14LL kann eine Konzentration des elektrischen Feldes wirksamer verhindert werden, und die i-Typ-Silicium-Aktivschicht 3i kann wirksamer als ein n-Typ-Bereich gehalten werden.

Die vorliegende Erfindung ist nicht auf die oben beschriebenen Ausführungsbeispiele beschränkt. Beispielsweise sind in den obigen Ausführungsbeispielen Fälle erläutert, bei denen die pin-Diode, ein MOSFET, ein IGBT (Bipolartransistor mit isoliertem Gate) und ein Thyristor als die Leistungshalbleitervorrichtungen verwendet sind; jedoch kann die vorliegende Erfindung wirksam auf eine andere Leistungshalbleitervorrichtung, wie beispielsweise einen lateralen IEGT (injektionsverstärkter Bipolartransistor mit isoliertem Gate) angewandt werden. Weiterhin kann die vorliegende Erfindung in vielfacher Weise modifiziert werden, ohne von deren technischem Grundgedanken abzuweichen.

Wie oben beschrieben ist, kann die Dichte des elektrischen Feldes in dem Halbleiterfilm niedrig gemacht werden, indem ein Isolierfilm, der einen unebenen Oberflächenteil auf der Oberfläche hiervon hat (erster Aspekt), oder ein Isolierfilm, der eine geladene Elektrode hat, die darin vergraben ist und in einen elektrisch schwimmenden Zustand gesetzt ist (zweiter Aspekt), verwendet wird, und die Stehspannung der Leistungshalbleitervorrichtung kann im Vergleich zu derjenigen des herkömmlichen Falles angehoben werden.

Weiterhin kann gemäß der vorliegenden Erfindung (dritter Aspekt) die Stehspannung der Leistungshalbleitervorrichtung im Vergleich zu derjenigen des herkömmlichen Falles angehoben werden, indem das Fremdstoffkonzentrationsprofil in der Form des Buchstabens "S" ausgebildet wird, selbst wenn ein dicker Isolierfilm als ein Isolierfilm verwendet wird, der zum Herstellen des Substrates benutzt wird.

Patentansprüche

1. Leistungshalbleitervorrichtung mit einem Substrat (1) und einem auf dem Substrat (1) gebildeten Isolierfilm (2), dadurch gekennzeichnet, daß

- der Isolierfilm (2) einen unebenen Oberflächenteil auf seiner Oberfläche hat,
- ein Halbleiterfilm (3, 4, 5) auf dem unebenen Oberflächenteil des Isolierfilmes (2) ausgebildet ist, und
- der unebene Oberflächenteil Ladungsträger, die sich in dem Halbleiterfilm (3, 4, 5) bewegen, veranlaßt, eingefangen zu werden.

2. Leistungshalbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Tiefe von konkaven Teilen des Isolierfilmes (2) größer als 50 nm ist.

3. Leistungshalbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die laterale Breite von konkaven Teilen des Isolierfilmes (2) kleiner als das Dreifache der Dicke des Isolierfilmes (2) ist.

4. Leistungshalbleitervorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die laterale Breite von konvexen Teilen des Isolierfilmes (2) kleiner als das Dreifache der Dicke des Isolierfilmes (2) ist.

5. Leistungshalbleitervorrichtung nach Anspruch 1, gekennzeichnet durch einen zweiten Isolierfilm (2a), der auf dem Halbleiterfilm (3, 4, 5) gebildet ist und im wesentlichen die gleiche Gestalt wie der Isolierfilm (2) hat, wobei ein unebener Oberflächenteil des zweiten Isolierfilmes (2a) Ladungsträger, die sich in dem Halbleiterfilm (3, 4, 5) bewegen, veranlaßt, eingefangen zu werden.

6. Leistungshalbleitervorrichtung nach Anspruch 5, gekennzeichnet durch eine Feldplatte (11), die auf dem zweiten Isolierfilm (2a) ausgebildet ist, um ein in dem Halbleiterfilm (3, 4, 5) hervorgerufenes starkes elektrisches Feld zu mindern.

7. Leistungshalbleitervorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Leistungshalbleitervorrichtung eine pin-Diode bildet.

8. Leistungshalbleitervorrichtung mit einem Substrat (1) und einem auf dem Substrat gebildeten Isolierfilm (2), dadurch gekennzeichnet, daß

- eine Vielzahl von aufladbaren schwimmenden Elektroden (9) in dem Isolierfilm (2) vergraben ist,

— ein Halbleiterfilm (3, 4, 5) auf dem Isolierfilm (2) ausgebildet ist, und

— jede der schwimmenden Elektroden (9) in dem Halbleiterfilm (3, 4, 5) erzeugte Ladungen veranlaßt, injiziert zu werden.

9. Leistungshalbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß ein Abstand von dem Halbleiterfilm (3, 4, 5) zu der Vielzahl von schwimmenden Elektroden (9) größer als 5 nm und kleiner als 200 nm ist.

10. Leistungshalbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die vertikale Breite von jeder der Vielzahl von schwimmenden Elektroden (9) kleiner als die Hälfte der Dicke des Isolierfilmes (2) ist.

11. Leistungshalbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die laterale Breite von jeder der Vielzahl von schwimmenden Elektroden (9) kleiner als die Driftlänge ist.

12. Leistungshalbleitervorrichtung nach Anspruch

11. dadurch gekennzeichnet, daß das Intervall zwischen zwei der Vielzahl von schwimmenden Elektroden (9) kleiner als das Dreifache der Dicke des Isolierfilms (2) ist.

13. Leistungshalbleitervorrichtung nach Anspruch 5
11, dadurch gekennzeichnet, daß Ladungen in dem Halbleiterfilm (3, 4, 5) durch eine Lawinenerscheinung erzeugt sind.

14. Leistungshalbleitervorrichtung nach Anspruch 10
11, dadurch gekennzeichnet, daß ein Abstand von dem Halbleiterfilm (3, 4, 5) zu der Vielzahl von schwimmenden Elektroden (9) kleiner als 5 nm ist.

15. Leistungshalbleitervorrichtung nach Anspruch 15
14, dadurch gekennzeichnet, daß Ladungen in dem Halbleiterfilm (3, 4, 5) durch den Tunneleffekt erzeugt sind.

16. Leistungshalbleitervorrichtung nach Anspruch 20
11, dadurch gekennzeichnet, daß die Leistungshalbleitervorrichtung einen Bipolartransistor mit isoliertem Gate bildet.

17. Leistungshalbleitervorrichtung nach Anspruch 25
11, dadurch gekennzeichnet, daß die Leistungshalbleitervorrichtung einen Thyristor bildet.

18. Leistungshalbleitervorrichtung mit einem Substrat (1) und einem auf dem Substrat gebildeten 25
Isolierfilm (2),
dadurch gekennzeichnet, daß

- ein Halbleiterfilm (3, 4, 5) auf dem Isolierfilm (2) gebildet ist und einen Fremdstoff enthält, und
- das Konzentrationsprofil des Fremdstoffes in der Driftlängsrichtung in dem Driftbereich des Halbleiterfilmes (3, 4, 5) in der Form des Buchstabens "S" gebildet ist.

19. Leistungshalbleitervorrichtung nach Anspruch 35
18, dadurch gekennzeichnet, daß die Dicke des Isolierfilms (2) nicht kleiner als die Driftlänge des Halbleiterfilmes (3, 4, 5) ist.

20. Leistungshalbleitervorrichtung nach Anspruch 40
18, dadurch gekennzeichnet, daß die Dicke des Isolierfilmes (2) ausreichend größer als die Dicke des Halbleiterfilmes (3, 4, 5) ist.

21. Leistungshalbleitervorrichtung nach Anspruch 45
20, gekennzeichnet durch:
einen zweiten Isolierfilm (15), der auf dem Halbleiterfilm (3, 4, 5) gebildet ist, und
eine Feldplatte (14), die auf dem zweiten Isolierfilm (15) gebildet ist, um ein in dem Halbleiterfilm (3, 4, 5) hervorgerufenes starkes elektrisches Feld zu mindern.

22. MOS-Feldeffekttransistor mit einem Substrat 50
(1) und einem auf dem Substrat (1) gebildeten Isolierfilm (2),
dadurch gekennzeichnet, daß

- ein Halbleiterfilm (3, 4, 5) auf dem Isolierfilm (2) gebildet ist und einen Fremdstoff enthält, und
- das Konzentrationsprofil des Fremdstoffes in der Driftlängsrichtung in dem Driftbereich des Halbleiterfilmes (3, 4, 5) in der Form des 60 Buchstabens "S" gebildet ist.

Hierzu 16 Seite(n) Zeichnungen

- Leerseite -

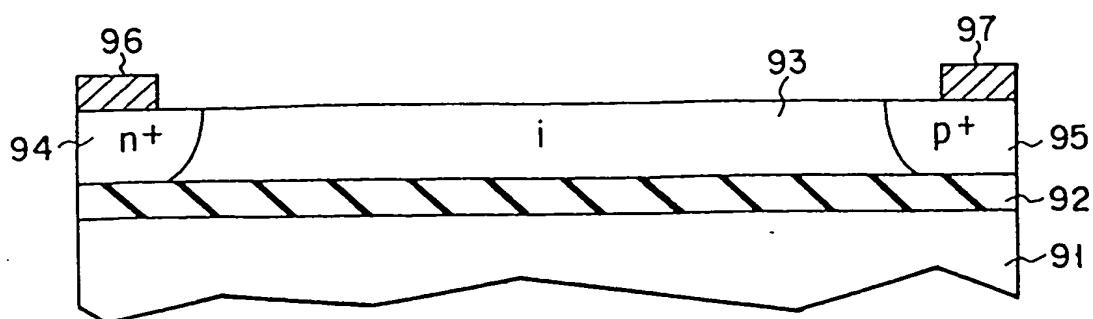


FIG. 1

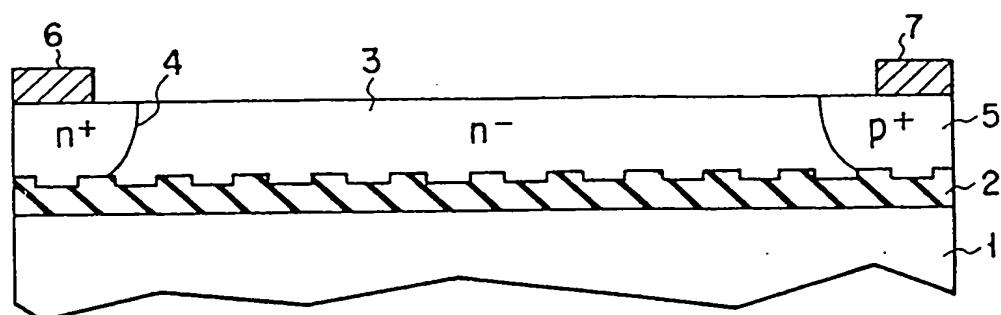


FIG. 2

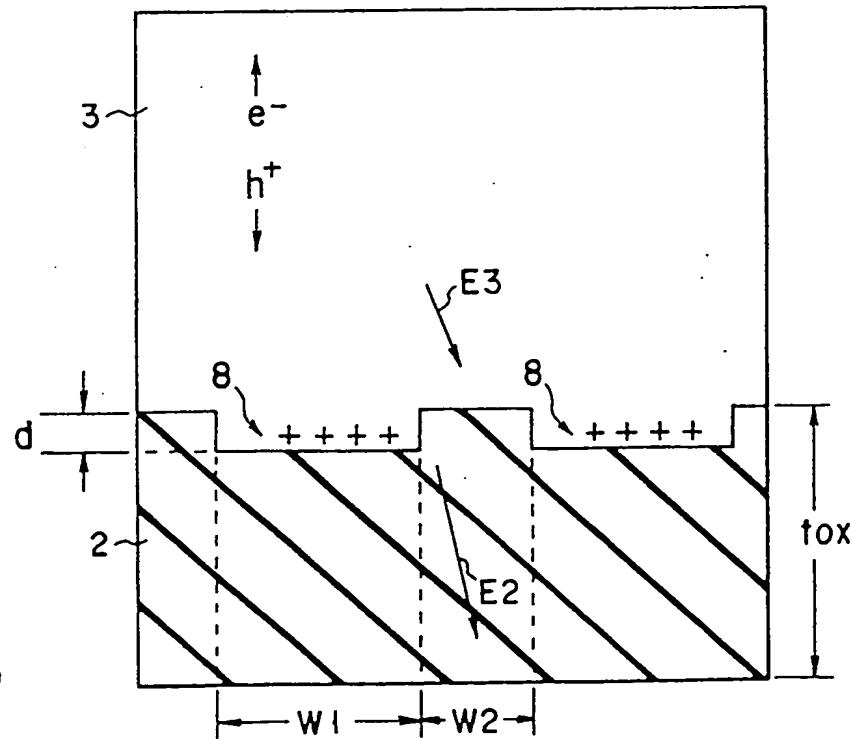


FIG. 3

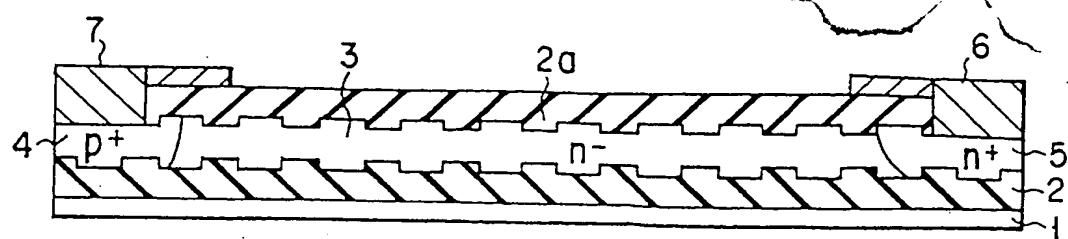


FIG. 4

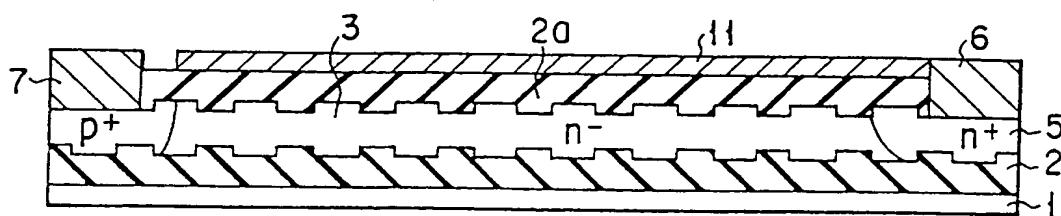


FIG. 5

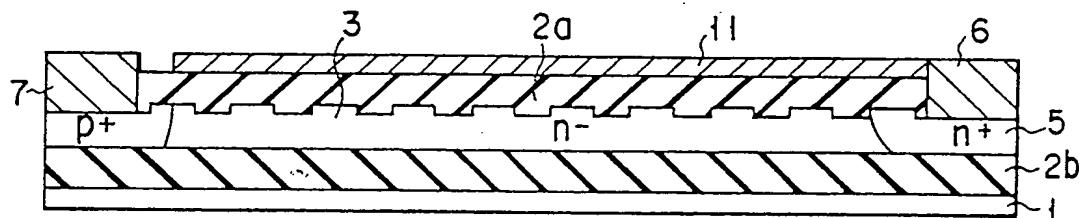


FIG. 6

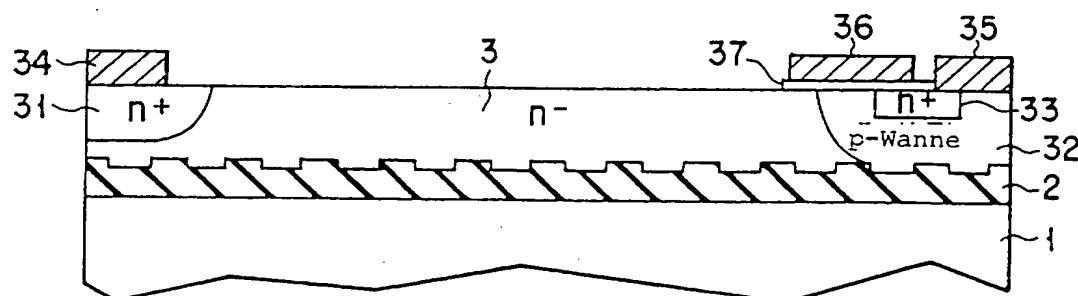


FIG. 7

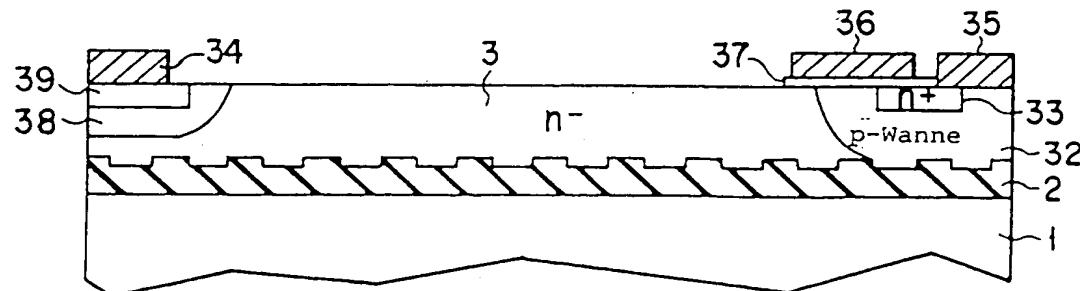


FIG. 8

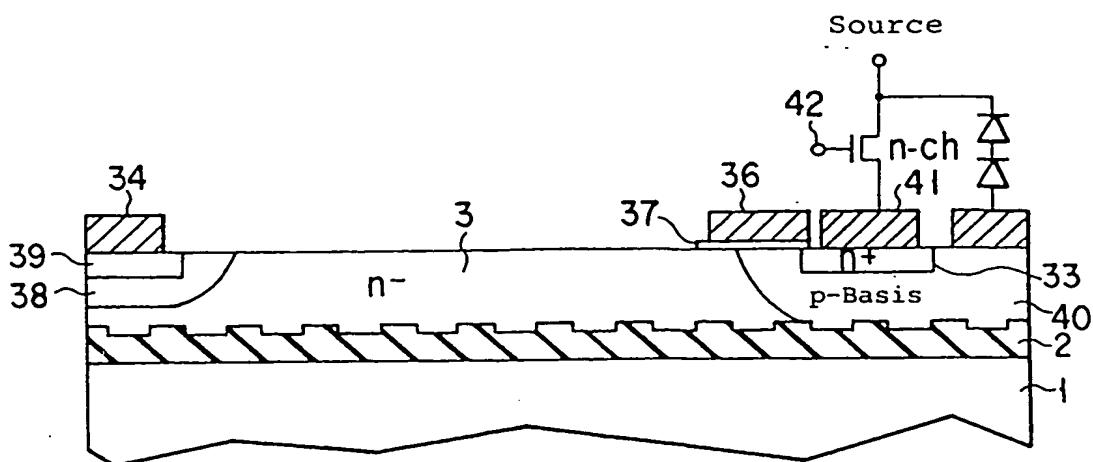


FIG. 9

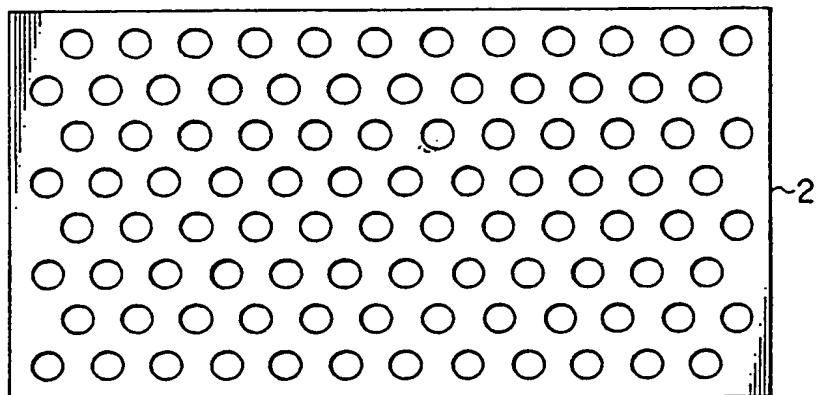


FIG. 10

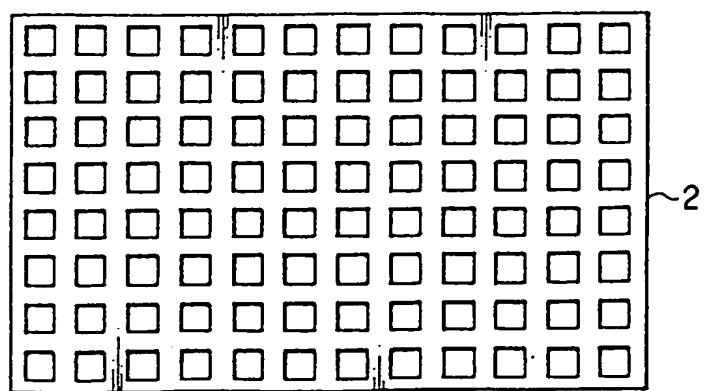


FIG. 1

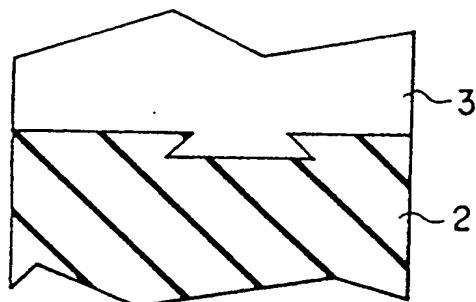


FIG. 12 A

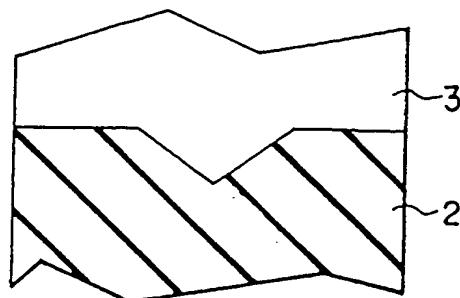


FIG. 12 B

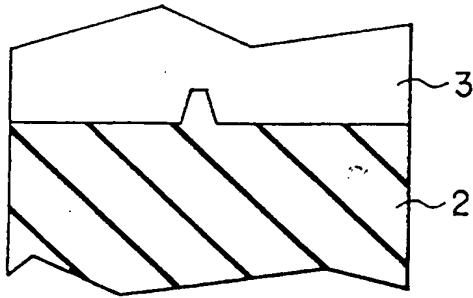


FIG. 12 C

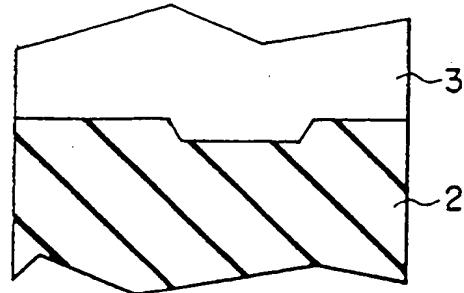


FIG. 12 D

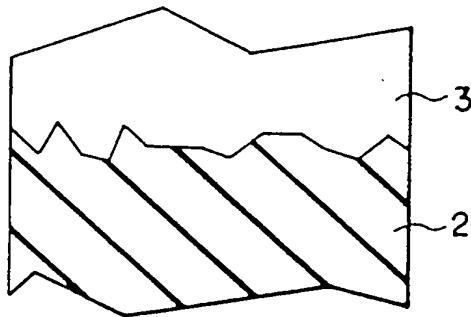


FIG. 12 E

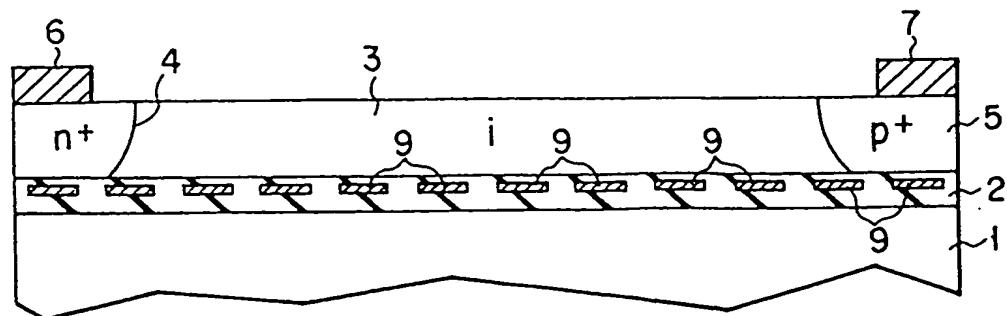


FIG. 13

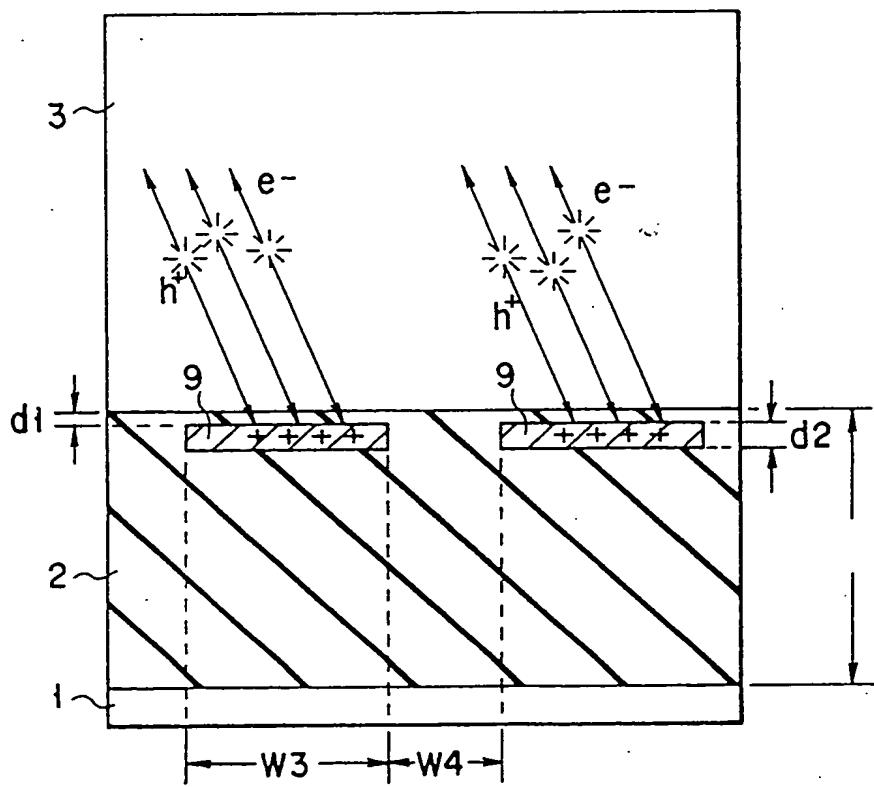
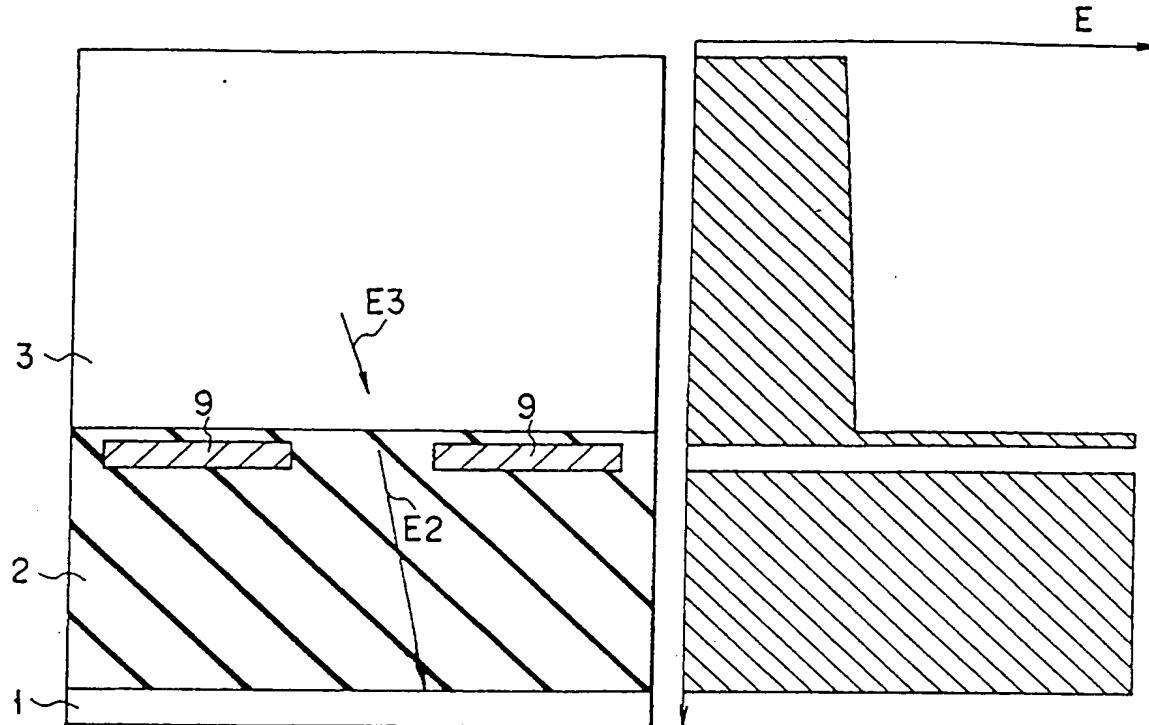
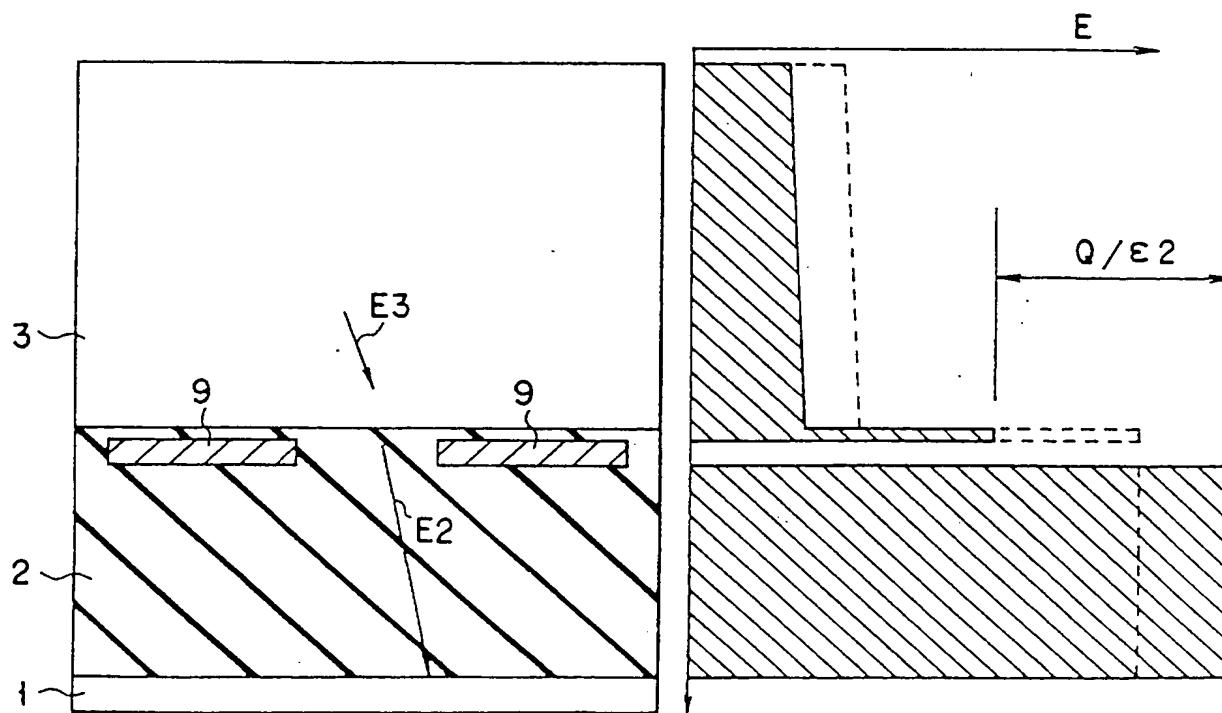


FIG. 14

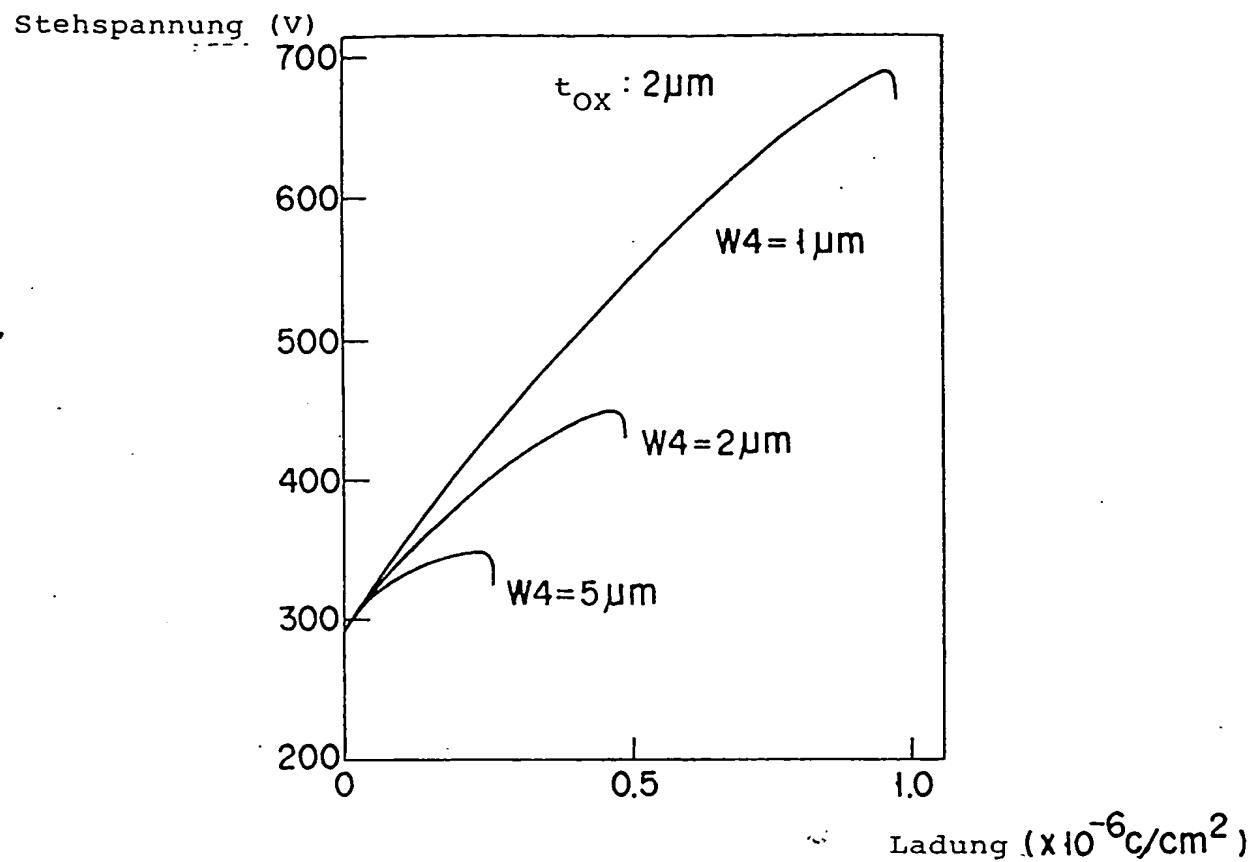


F I G. 15



F I G. 16

602 013/613



F I G. 17 A

Stehspannung (V)

t_{ox}	W_4	0 μm	5 μm	2 μm	1 μm
2 μm		290	345	450	690
3 μm		370	475	630	1030
4 μm		450	605	840	1360

F I G. 17 B

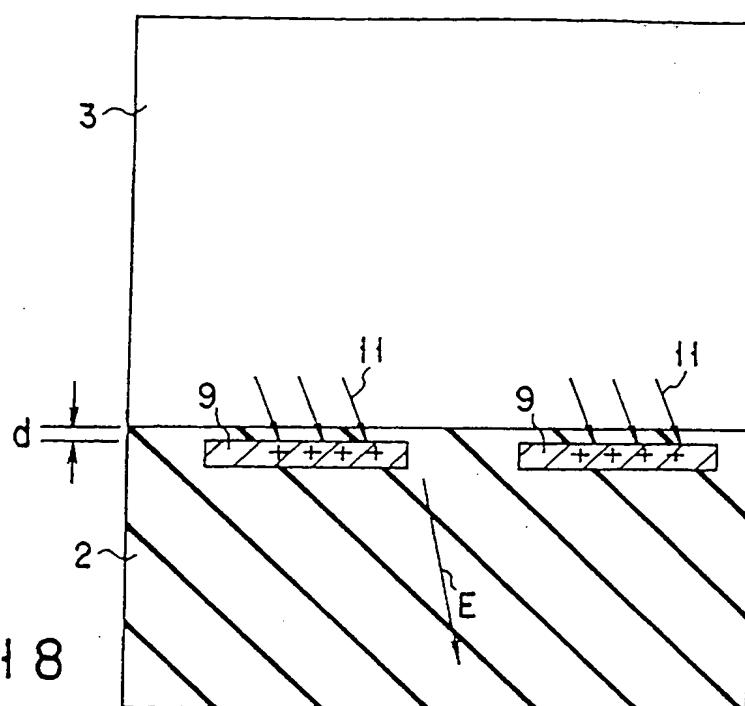


FIG. 18

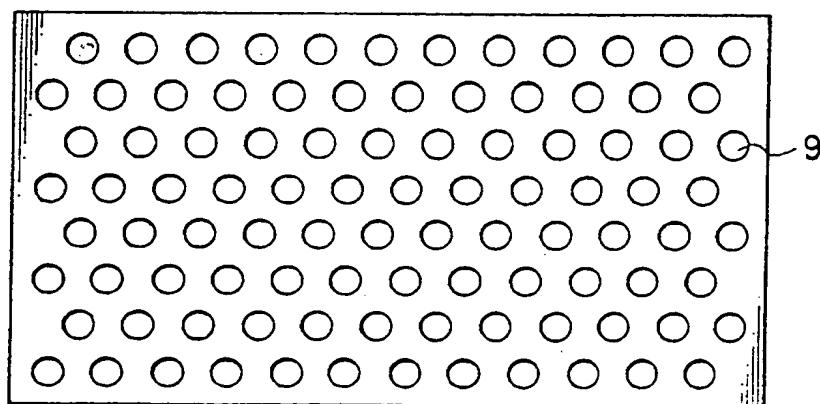


FIG. 19

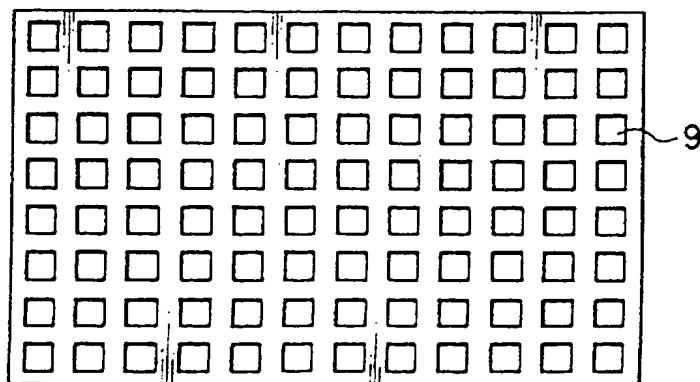


FIG. 20

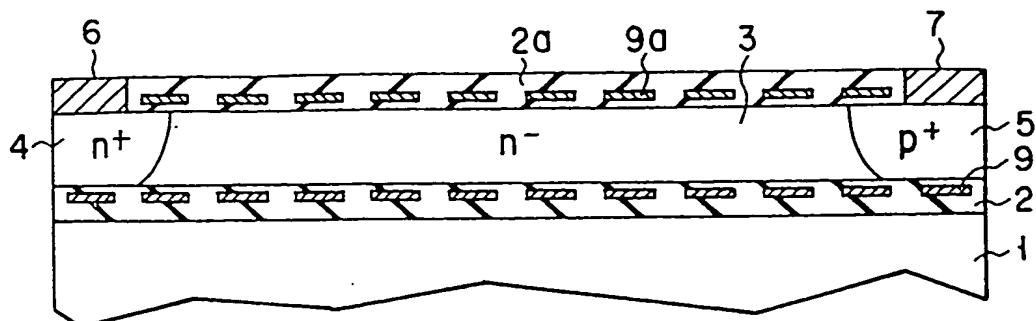


FIG. 21

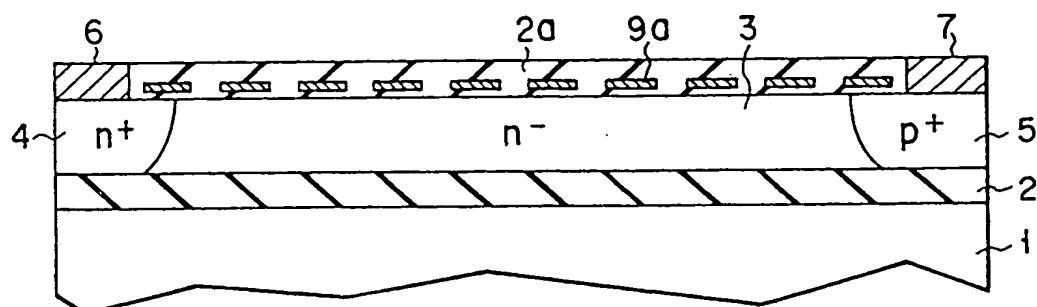


FIG. 22

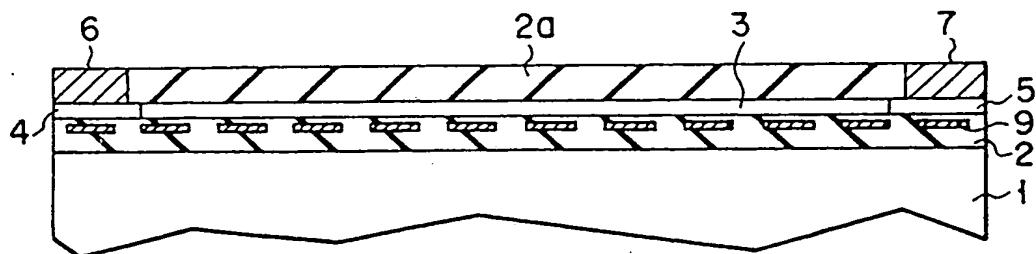


FIG. 23

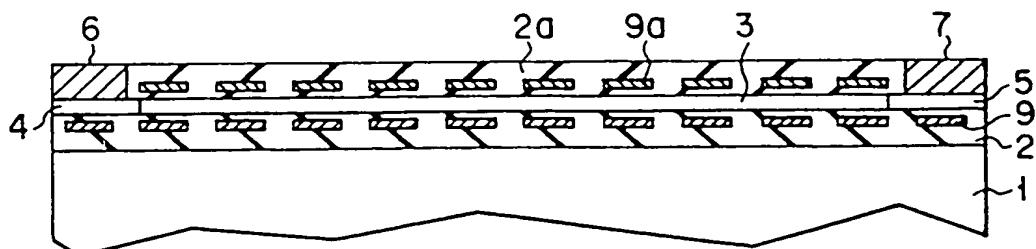


FIG. 24

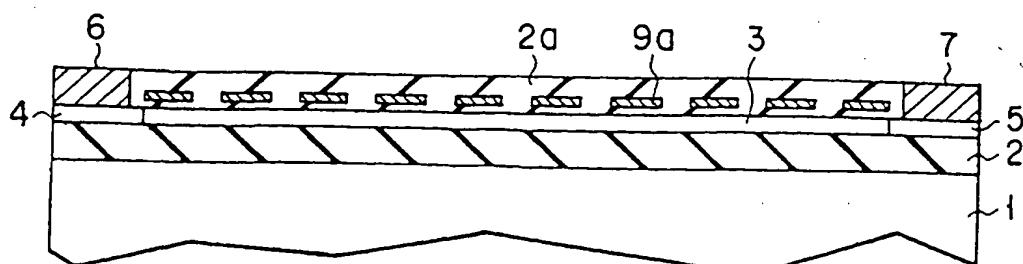


FIG. 25

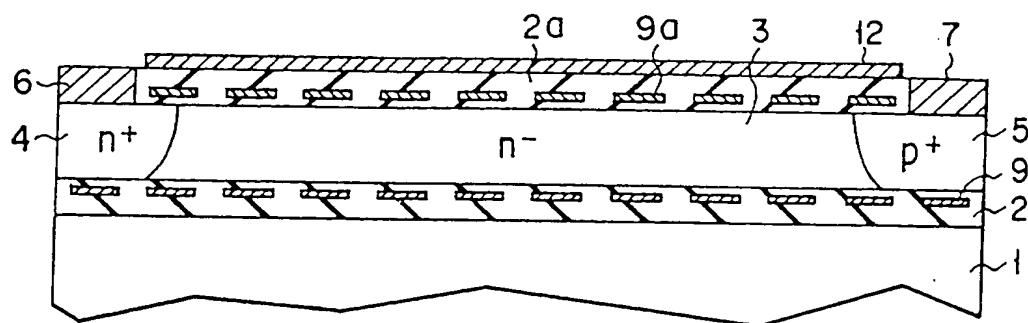


FIG. 26

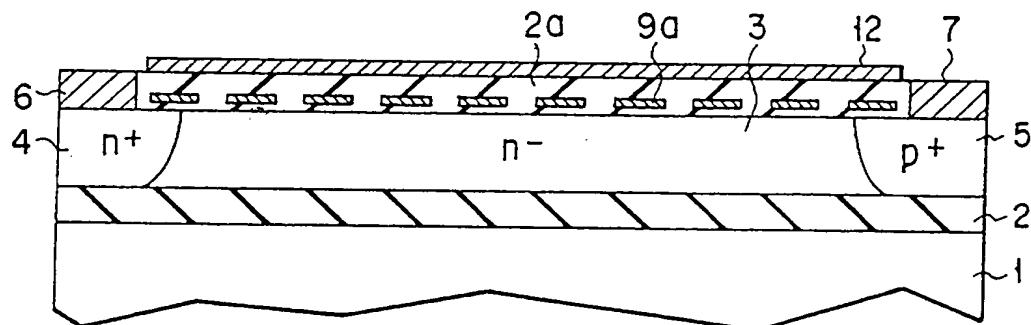


FIG. 27

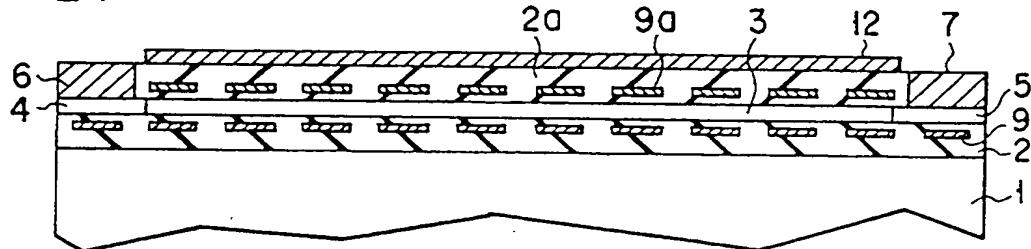


FIG. 28

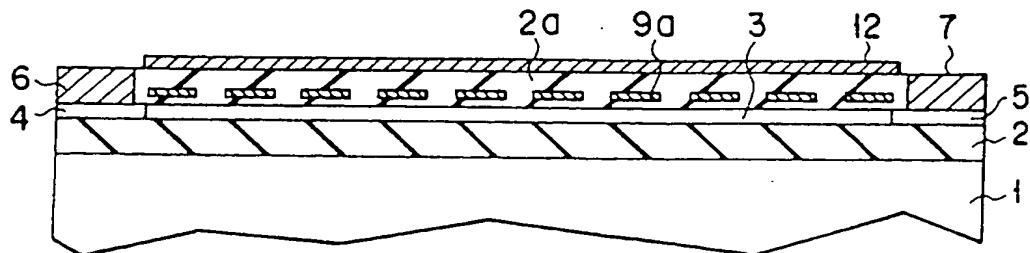


FIG. 29

602 013/613

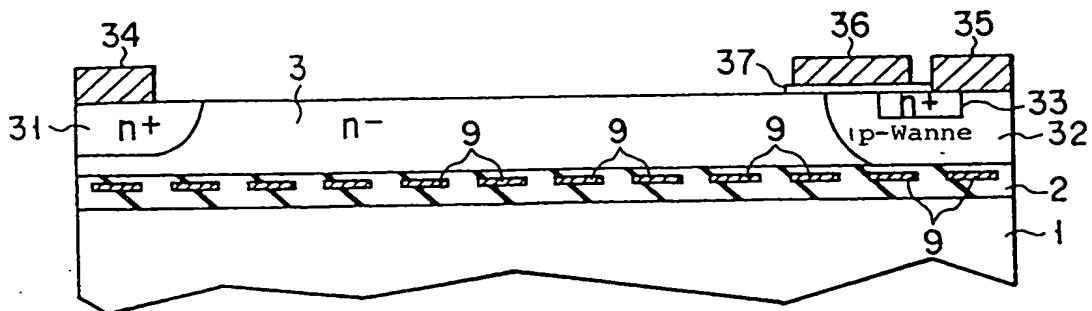


FIG. 30

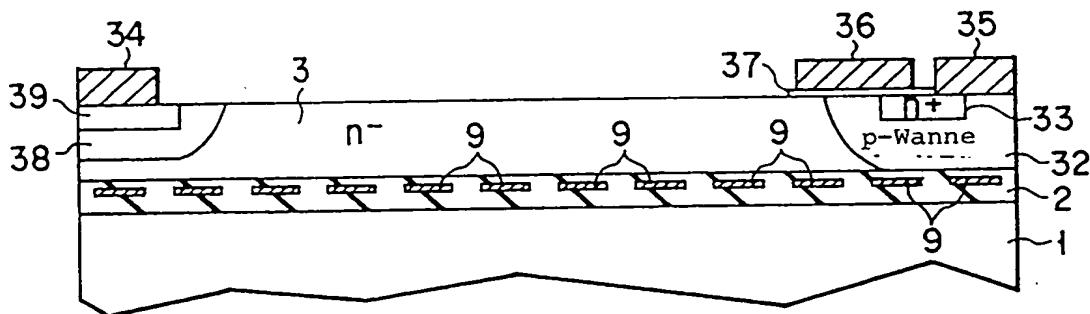


FIG. 31

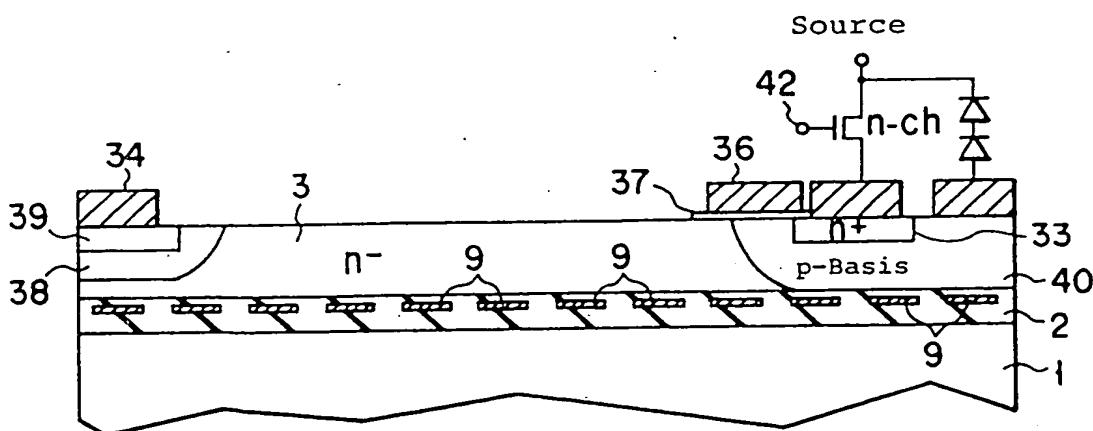


FIG. 32

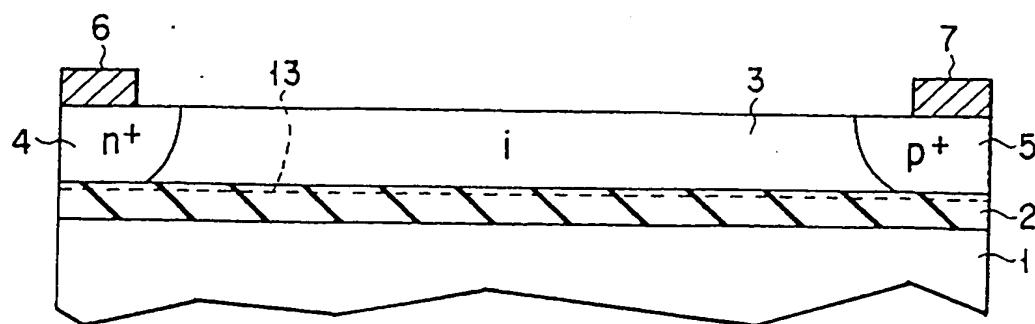


FIG. 33

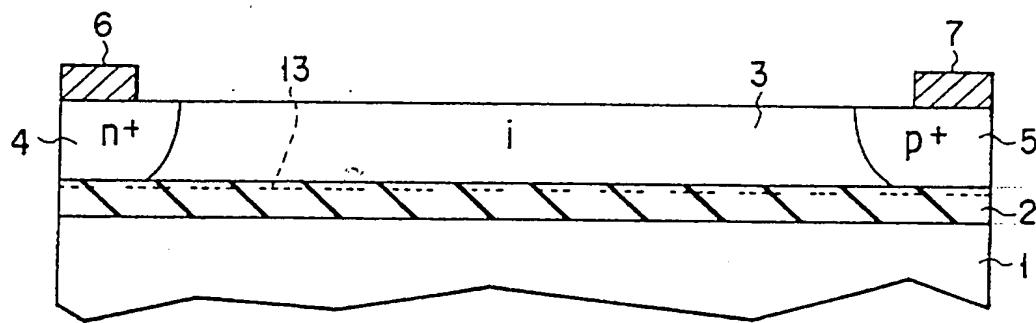


FIG. 34

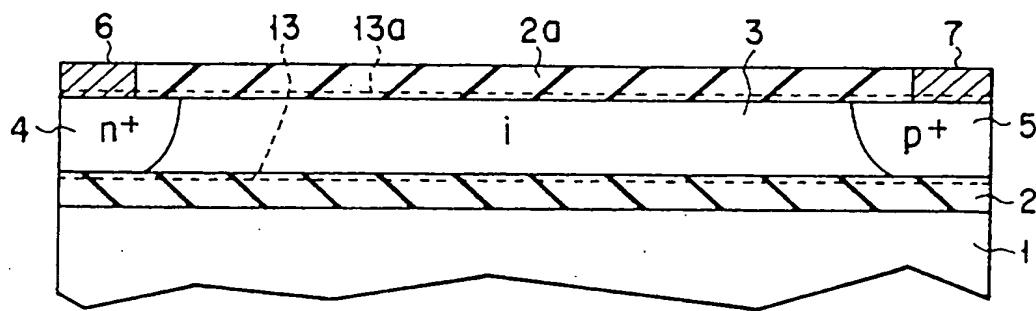


FIG. 35

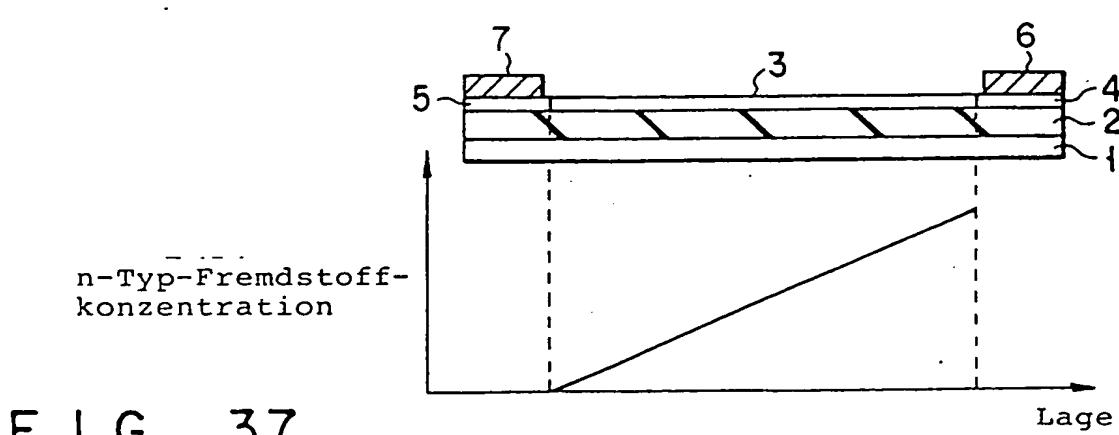
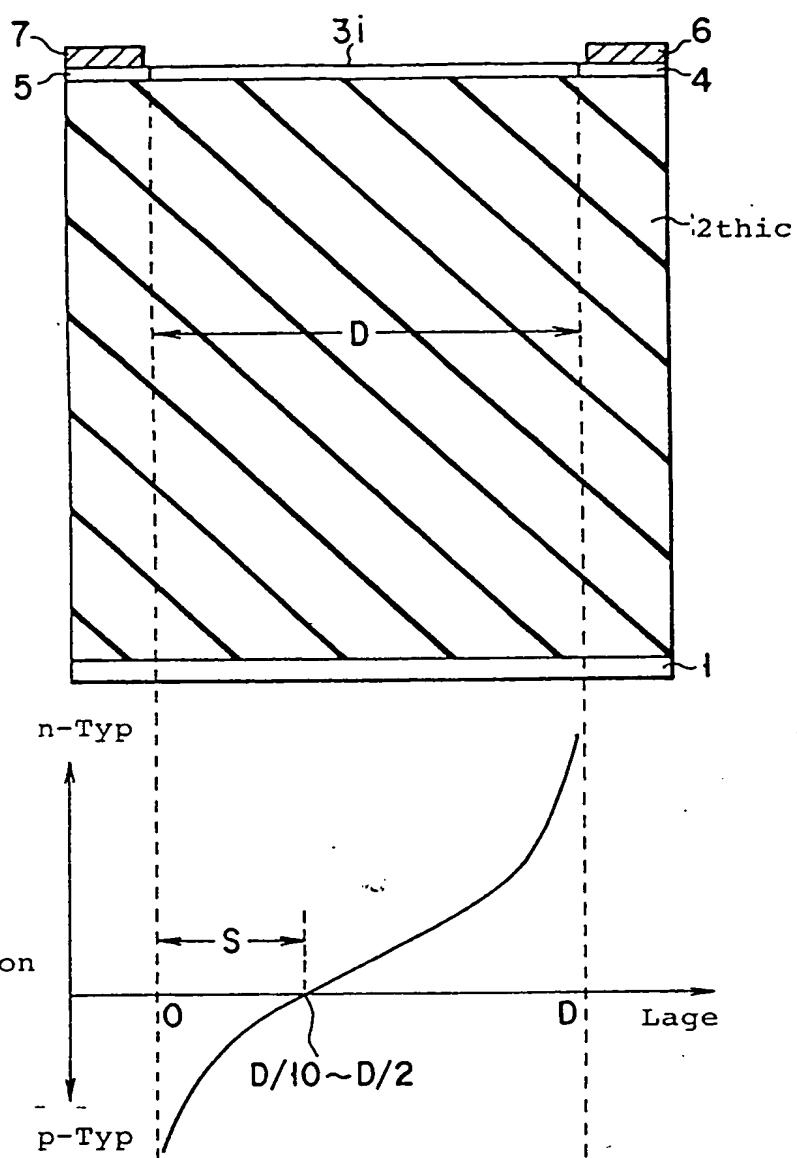


FIG. 38

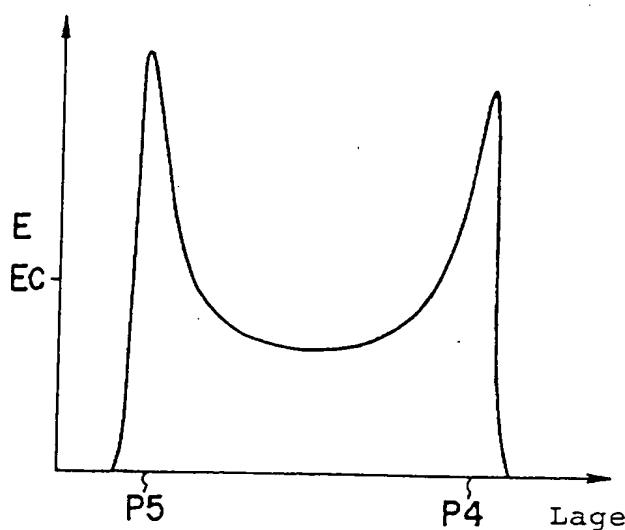


FIG. 39

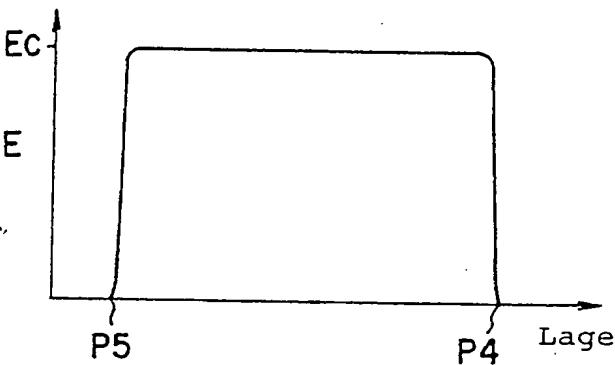
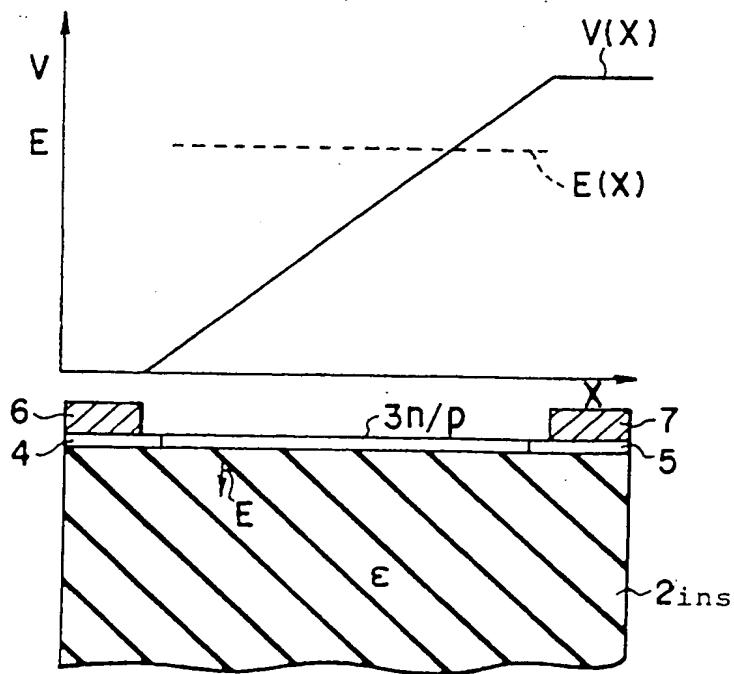


FIG. 40



602 013/613

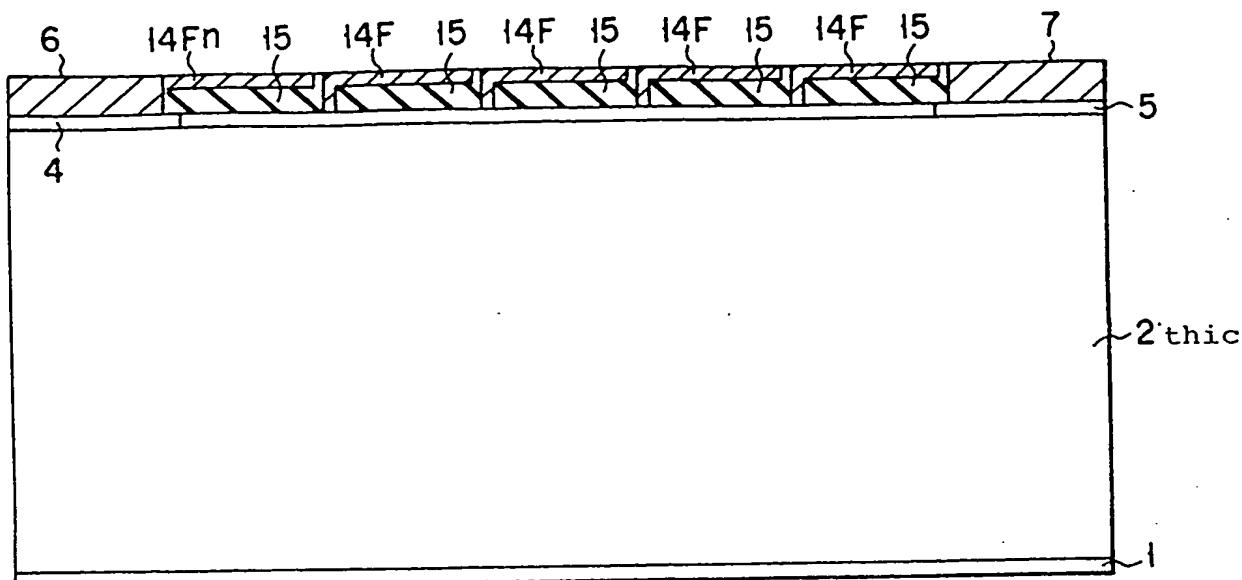


FIG. 41

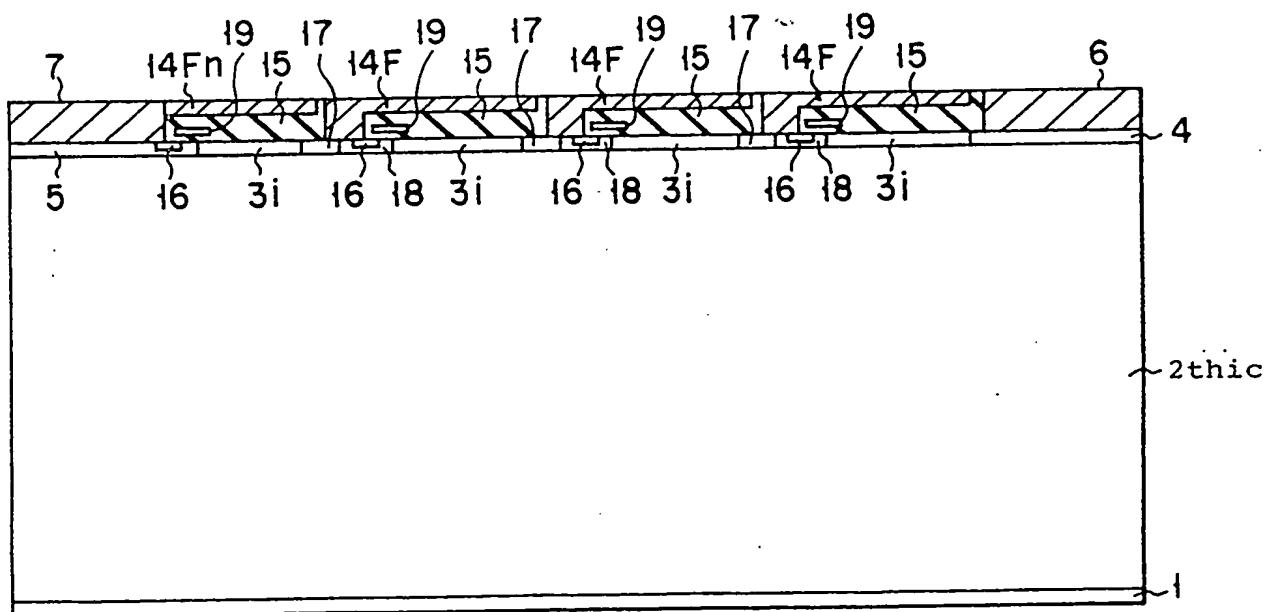


FIG. 42

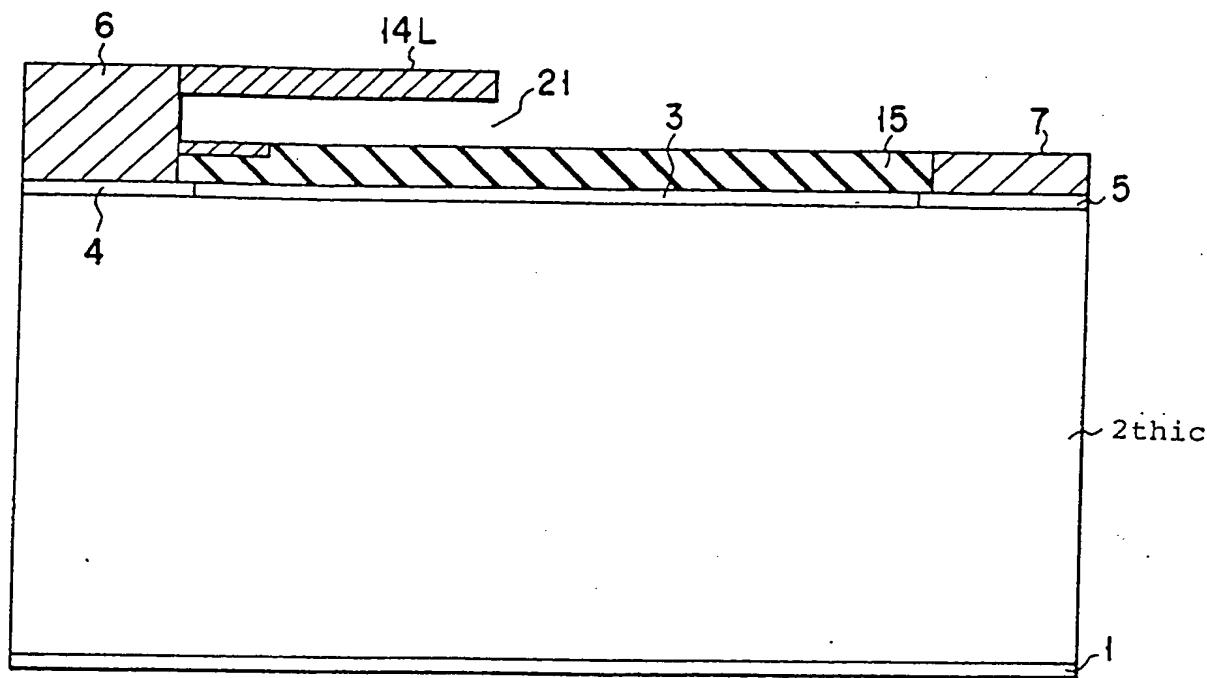


FIG. 43

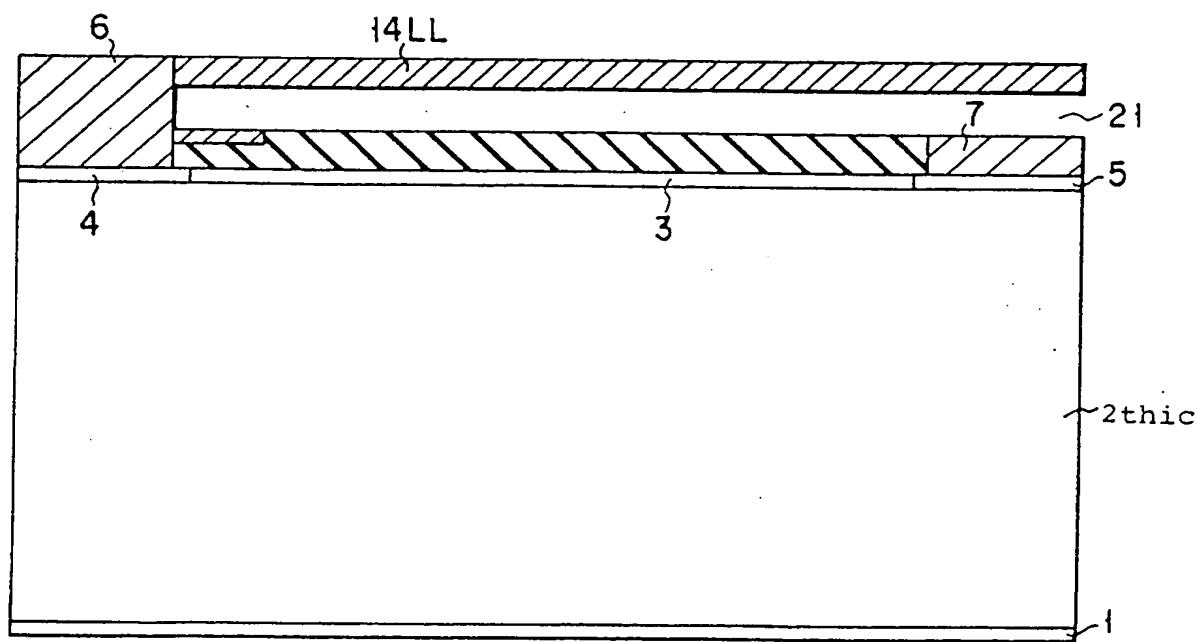


FIG. 44